

# МАЖОРИТАРНАЯ СХЕМА С НЕСКОЛЬКИМИ ДОМЕНАМИ СИНХРОНИЗАЦИИ

О. В. Гончаровский\*, С. Ф. Тюрин\*\*,\*\*

\*Пермский национальный исследовательский политехнический университет

\*\*Пермский государственный национальный исследовательский университет

Поступила в редакцию 02.06.2017 г.

**Аннотация.** Отказоустойчивость устройств на основе радиоэлектронных компонентов часто обеспечивается с помощью мажоритарного резервирования (Triple Modular Redundancy, TMR). Для устройств на программируемой логике (ПЛИС) оно является общим методом повышения защиты от воздействия заряженных частиц, таких как тяжелые ионы или протоны, которые вызывают ионизацию кремниевой подложки FPGA. На функциональном уровне представления такое воздействие может вызывать изменение состояния ячеек конфигурационной памяти, ячеек блоков оперативной памяти (RAM BLOCK), триггеров конфигурируемых логических блоков (CLB DFF), оперативной памяти таблиц соответствия (LUTRAM), а также просто кратковременные изменения значения сигналов логических элементов.

Реализация TMR в рамках одной FPGA не всегда может быть выполнена из-за ограниченности ресурсов программируемой логики. Реализация TMR из нескольких элементов FPGA требует решения задачи синхронизации данных в элементе голосования, т.к. избыточные компоненты имеют собственные тактовые генераторы. В работе представлен вариант решения этой задачи.

**Ключевые слова:** ПЛИС, мажоритарное резервирование, домен синхронизации, привязка синхронизации, магазинная память.

**Annotation.** Triple Module Redundancy (TMR) is a powerful tool for fault tolerant design. In particular, TMR is effective SEU (Single Event Upset) mitigation strategy for FPGA. SEUs may alter the logic-state of any static memory element (latch, flip flop, or RAM cell) or cause transient pulses in combinatorial logic paths. For three-plus FPGAs implementations, each FPGA holds same design and has the outputs voted on a hardened device. Each FPGA has its own clock. This is a problem for the majority voter to make the decision. The paper presents a solution to this problem.

**Keywords:** FPGA (Field Programmable Gate Array), Triple Modular Redundancy (TMR), Clock Domain, Clock Domain Crossing (CDC), Retiming, Pushdown Memory.

## 1. ВВЕДЕНИЕ

В аэрокосмической, военной и других областях критического применения актуально создание надёжной, отказоустойчивой и радиационно-стойкой аппаратуры [1]. В ней, помимо процессоров, контроллеров и микроконтроллеров, широко используются программируемые логические интегральные схемы ПЛИС [2]. Наиболее надёжный вариант уменьшения влияния неисправностей и воздействия заряженных частиц на работу цифрового устройства является его реализация в виде мажоритарной схемы из нескольких

одинаковых рабочих узлов (три или более) с отдельным высоконадежным узлом голосования. Каждый узел схемы выполняется на своей ПЛИС. Все участвующие в голосовании рабочие узлы и узел голосования тактируются каждый от своего генератора (номинальные значения частот всех генераторов равны между собой) – устройство с несколькими доменами синхронизации. В каждый момент времени выходы узлов могут отличаться как из-за несинфазной работы тактовых генераторов, так и из-за отклонения их частот относительно номинального значения. Узел голосования для принятия верного решения должен поэтому обеспечивать синхронизацию данных, поступающих от нескольких узлов.

## 2. ПРОХОЖДЕНИЕ СИГНАЛА В СИНХРОННОЙ ЦИФРОВОЙ СХЕМЕ ИЗ ОДНОГО ДОМЕНА СИНХРОНИЗАЦИИ В ДРУГОЙ

Техника создания проекта с несколькими доменами синхронизации получила название CDC (Clock Domain Crossing). Рис. 1 [3] иллюстрирует проблемы синхронизации при двух асинхронных синхросигналах. Проблема кроется в метастабильности данных и асинхронности тактовых сигналов.

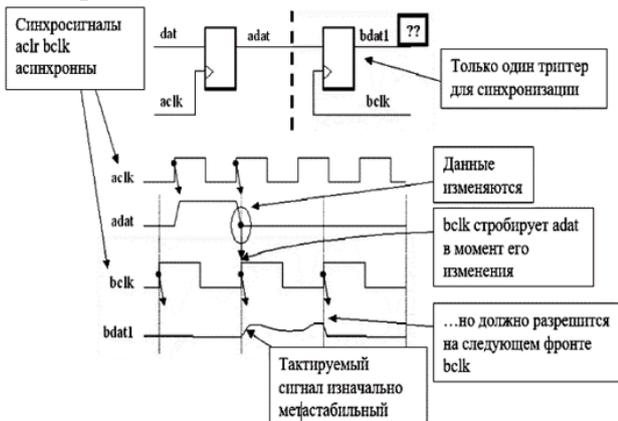


Рис. 1. Асинхронные тактовые сигналы и ошибки синхронизации

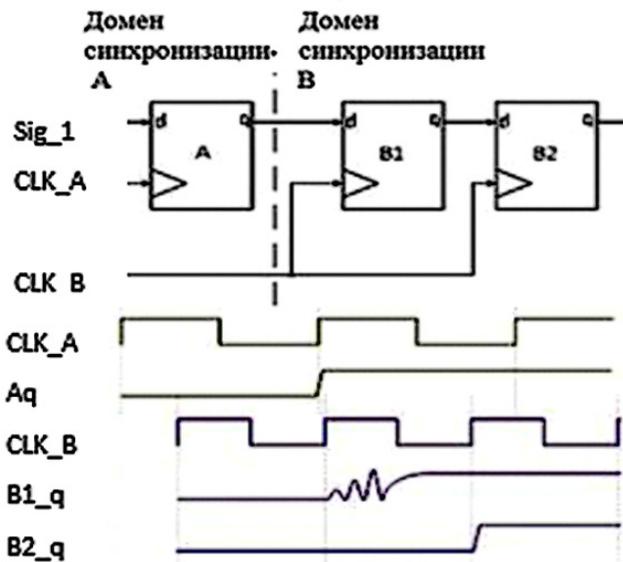


Рис. 2. Синхронизатор из двух триггеров для битового уровня

Метастабильность относится к сигналу, который в течении некоторого времени не может принять устойчивое значение 0 или 1. Метастабильность не может быть уничтожена, но ее негативный эффект может быть нейтрализован.

Синхронизацию в домене называют привязкой входного сигнала к тактовой частоте домена, т. е. все изменения этого сигнала в домене будут происходить по фронту или срезу тактового сигнала домена, а не родительского тактового сигнала. На рис. 2 [4] приведена схема традиционного синхронизатора из двух триггеров (сдвиговый регистр) для одноклокового сигнала.

Рассмотрим вариант реализации мажоритарной схемы на программируемой логике, кода узлы представляют собой синхронные автоматы.

## 3. СИНХРОНИЗАЦИЯ В МАЖОРИТАРНОЙ СХЕМЕ ИЗ НЕСКОЛЬКИХ ПЛИС

Для реализации CDC в мажоритарной схеме из нескольких ПЛИС необходимо чтобы рабочий узел формировал выходной сигнал  $f$ , индицирующий начальное состояние (начало рабочего цикла). На рис. 3 приведен пример такой схемы тройного резервирования (U1, U2, U3 – рабочие узлы и U4 – узел голосования) с четырьмя доменами синхронизации (clock, clock1, clock2, clock3).

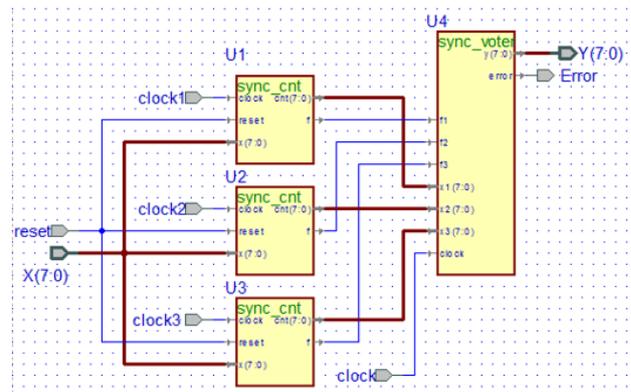


Рис. 3. Пример мажоритарной схемы с CDC

В узле голосования сначала выполняется привязка всех входных сигналов  $X$  и  $f$  к тактовой частоте  $clock$ , а затем компенсация несинфазности сигналов  $X$  с целью их последующего сравнения. Для этого каждый из входных сигналов  $X$  записывается в свою память магазинного типа. Каждой такой памяти сопоставлен счетчик  $cnt$ , устанавливаемый в 0 при наличии сигнала  $f$ , а иначе увеличива-

ющийся на 1 по модулю  $N + 1$ , где  $N$  номер последней ячейки памяти. Таким образом  $pnt$  индицирует место хранения входного сигнала, соответствующего  $f$ . Магазиновой памяти сопоставлен также регистр  $ind$ , принимающий значение  $pnt$  всякий раз, когда приходит тот или иной сигнал  $f$ , следовательно, в  $ind$  сохраняются номера ячеек памяти, которые содержат данные для сравнения.

Рис. 4 иллюстрирует состояние магазинной памяти в текущий момент времени при тройном резервировании: на первом канале фиксируется сигналы  $f$  и  $X_0$ , а на остальных двух –  $X_2$  и  $X_5$ . Индексы носят условный характер, представляя значения выходов рабочих узлов относительно их начальных состояний.

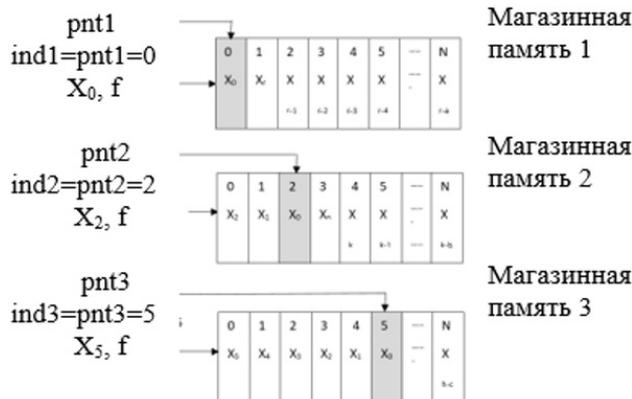


Рис. 4. Состояние магазинной памяти узла голосования мажоритарной схемы

В ActivHDL был реализован проект на VHDL мажоритарной схемы с четырьмя доменами синхронизации. В качестве рабочего узла был взят синхронный 8-разрядный двоичный счетчик с асинхронным сбросом (сигнал  $reset$ ) в начальное состояние 11111111. На рис.5 приведена временная диаграмма результатов моделирования с одинаковыми значениями тактовых частот, но разными начальными фазами ( $clock1$ ,  $clock2$ ,  $clock3$ ) и разными моментами установки рабочих узлов в начальное состояние ( $reset1$ ,  $reset2$  и  $reset3$ ). Как видно из рисунка в течении первых нескольких тактов (до штриховой линии) происходит согласование сигналов. В это время выход  $Y$  мажоритарного элемента принимает недостоверные значения (некоторые из них индицируются сигналом  $error = 1$ ). В процессе моделирования выполнялись и

изменения частот тактовых синхросигналов в пределах заданных номинальных значений. Моделирование подтвердило правильность принятых решений.

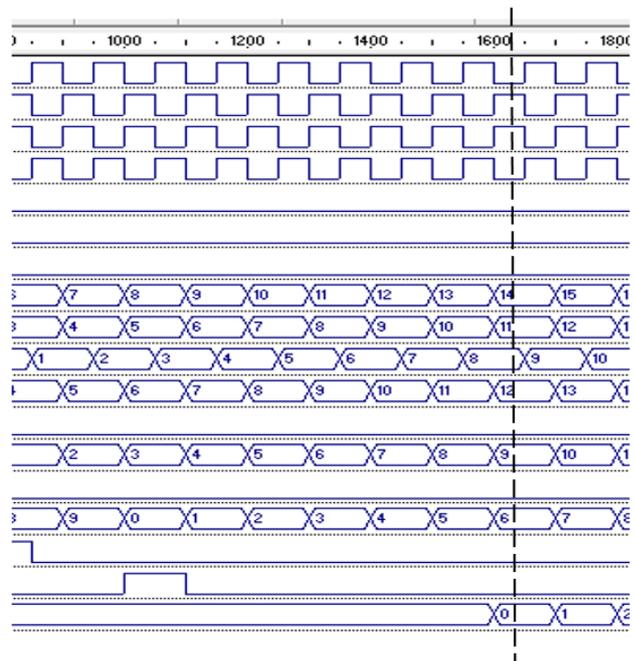
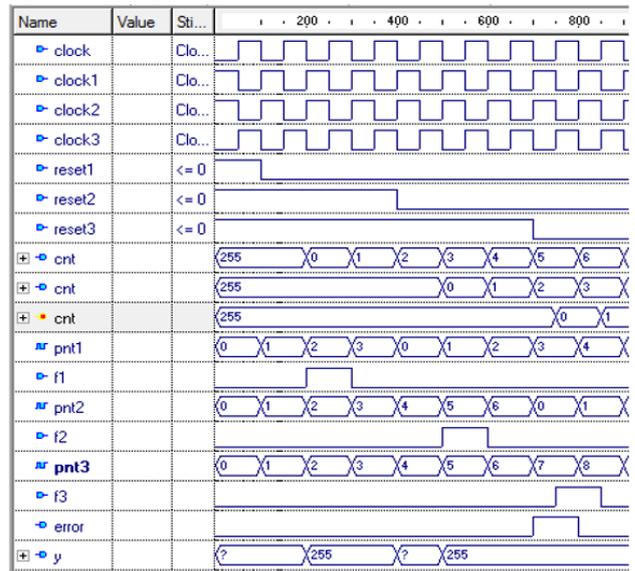


Рис. 5. Результаты моделирования мажоритарной схемы с CDC

### СПИСОК ЛИТЕРАТУРЫ

1. Чекмарёв С. А. Способ и система инъекции ошибок для тестирования сбоеустойчивых процессоров бортовых систем космических аппаратов // Вестник Сибирского государственного аэрокосмического университета им. академика М. Ф. Решет-

нева. 2014. № 4 (56) / [Электронный ресурс]. – URL: <http://cyberleninka.ru/article/n/sposob-i-sistema-inektsii-oshibok-dlya-testirovaniya-sboeustoychevyh-protssorov-bortovyh-sistem-kosmicheskikh-apparatov> (дата обращения: 16.12.2015).

2. Строгонов А., Цыбин С. Программируемая коммутация ПЛИС: взгляд изнутри. [Электронный ресурс]. – URL: [http://www.kit-e.ru/articles/plis/2010\\_11\\_56.php](http://www.kit-e.ru/articles/plis/2010_11_56.php) (дата обращения 16.12.2016).

**Гончаровский Олег Владленович** – канд. техн. наук, доцент, доцент кафедры Автоматики и телемеханики, электротехнический факультет, Пермский национальный исследовательский политехнический университет.  
E-mail: 35911953@mail

**Тюрин Сергей Феофентович** – д-р техн. наук, заслуженный изобретатель Российской Федерации, профессор кафедры Автоматики и телемеханики, электротехнический факультет, Пермский национальный исследовательский политехнический университет; профессор кафедры математического обеспечения вычислительных систем, механико-математический факультет, Пермский государственный национальный исследовательский университет.  
E-mail: tyurinsergfeo@yandex.ru

3. Clifford E. Cummings. Clock Domain Crossing (CDC) Design & Verification Techniques Using SystemVerilog. SNUG Boston 2008, Rev 1.0, p. 56.

4. Tejas Dave, Amit Jain & Divyanshu Jain. Synchronizer techniques for multi-clock SoCs & FPGA. September 30, 2014 <http://www.edn.com/electronics-blogs/day-in-the-life-of-a-chip-designer/4435339/Synchronizer-techniques-for-multi-clock-domain-SoCs>

**Goncharovskij Oleg Vladlenovich** – Associate Professor, Ph.D., Associate Professor at the Department of Automation and Telemechanics, Electrical Engineering Faculty, Perm National Research Polytechnic University.  
E-mail: 35911953@mail.

**Tyurin Sergey Feofentovich** – Honored Inventor of the Russian Federation, Doctor of Technical Sciences, Professor at the Department of Automation and Telemechanics, Electrical Engineering Faculty, Perm National Research Polytechnic University; Professor at the Computer Science Department, Mechanics and Mathematics Faculty, Perm National Research Polytechnic University, Perm State National Research University.  
E-mail: tyurinsergfeo@yandex.ru