

# ОСОБЕННОСТИ МАЖОРИТИРОВАНИЯ В ПЛИС VIRTEX ФИРМЫ XILINX

О. В. Гончаровский, С. Ф. Тюрин

*Пермский национальный исследовательский политехнический университет*

Поступила в редакцию 27.12.2016 г.

**Аннотация.** Анализируется способ тройного резервирования (TMR) с мажоритарным элементом из буферов с тремя состояниями, применяемый при создании проектов на программируемой логике типа FPGA для уменьшения радиационно-индуцированных переключений логических элементов (SET) и элементов памяти (SEU). Обсуждаются результаты моделирования таких мажоритарных элементов на уровне транзисторов и на логическом уровне. Предложен способ моделирования на логическом уровне мажоритарных элементов из буферов с тремя состояниями, позволяющий избежать неадекватных неопределенных состояний в процессе анализа проекта, созданного на VHDL.

**Ключевые слова:** ПЛИС типа FPGA, мажоритирование, мажоритар, тристабильный буфер.  
**Annotation.** Analyzed Triple Module Redundancy Design Techniques with the majority element of the three-state buffers used when creating projects for the programmable logic Xilinx FPGAs Virtex type to reduce radiation-induced switching of logic elements (Single Event Transients-SET) and memory elements (Single Event Upset -SEU). Evaluated the results of the simulation of the majority elements on the transistor level and at a logical level. The paper proposed a method of modeling at the logical level of majority elements of the tri-state buffers, avoiding inappropriate undefined states in the process of analysis of the project, created in VHDL.

**Keywords:** FPGA, Triple Module Redundancy, Majority Vote Circuit, 3-State Buffer.

## 1. ВВЕДЕНИЕ

Научно-технологическое направление создания высоконадёжных, отказоустойчивых, радиационно-стойких микросхем для космических, специальных и военных применений в настоящее время чрезвычайно актуально. Радиационная стойкость – это свойство аппаратуры, комплектующих элементов и материалов выполнять свои функции и сохранять параметры в пределах установленных норм во время или после ионизирующего излучения [1]. Считается, что негативное воздействие тяжёлых заряженных частиц (ТЗЧ) на микросхемы цифровой аппаратуры систем управления привело к потере космического аппарата «Фобос-Грунт» [2]. Процессы накопления дозы радиации в микросхемах приводят к росту задержек внутри микросхемы, изменению логических уровней. Попадание одной единственной частицы приводит к

так называемым одиночным событиям SEE (Single Event Effect) [3, 4]. Основные понятия в области радиационной стойкости представлены на рис. 1.

Одним из самых опасных подвидов SEE является защелкивание транзисторов (Single Event Latchup, SEL) в пропускающем состоянии (тиристорный эффект). При этом возможны разрушения транзисторов и «разрыв» вентиля – SEGR (Single Event Gate Rupture). При воздействии ТЗЧ могут происходить кратковременные изменения выхода логического элемента – SET (Single Event Transient), элементов памяти – SEU (Single Event Upset), изменяющие состояние логических элементов [3, 4]. Лидером создания радиационно-стойких микросхем за рубежом является компания Atmel [3, 4]. Для создания радиационно-стойких микросхем применяют дорогостоящие технологии, например, «кремний на диэлектрике» (англ. Silicon-on-insulator, SOI), исключая тиристорные эффекты. Хорошо зарекомендовала себя технология КНС –

№	Термин	Расшифровка англ.	Расшифровка рус.	Определение
1.	SEL	Single Event Latch	Тиристорный эффект, вызванный ионизацией	Переход микросхемы в состояние с высоким потреблением тока. Требуется обязательное снятие питания для восстановления
2.	SEGR	Single Event Gate Rupture	«Разрыв» вентиля, вызванный ионизацией	Неисправность затвора или подзатворной области в результате перехода транзистора в состояние высокого потребления тока, обусловленного тиристорным эффектом
3.	SET	Single Event Transient	Однократный восстанавливаемый отказ	Кратковременное изменение состояния логического выхода
4.	SEU	Single Event Upset	Однократный восстанавливаемый сбой памяти	Обратимое изменение состояния регистра памяти, ОЗУ или триггера
5.	SHE	Single Event Hard Error	Необратимое изменение состояния регистра	Необратимое изменение состояния регистра памяти, ОЗУ или триггера
6.	SEFI	Single Event Functional Interrupt	Функциональный отказ в результате SEU	Отказ в работе прибора. Как правило, для устранения этого отказа требуется либо снятие и восстановление питания, либо перегрузка системы
7.	RH	Radiation Hard	Устойчивый к радиации	Устройство, гарантированно сохраняющее работоспособность при дозе поглощенного излучения вплоть до заданной (обычно более 300 крад).
8.	RT	Radiation Tolerant	Выдерживающий (толерантный) радиацию	Устройство, гарантированно сохраняющее работоспособность при дозе поглощенного излучения вплоть до заданной (обычно более 300 крад.)
9.	RHBD	Radiation Hardened By Design	Устойчивый к радиации за счет дизайна	Устройство, в котором для увеличения радиационной стойкости применяются специальные схемные/технологические решения, например, троирование триггеров со схемой восстановления после ошибок, применение RC-фильтров для устойчивости к импульсам тока, постоянный опрос конфигурации с восстановление ее и т. д.

Рис. 1. Основные понятия радиационной стойкости

кремний на сапфире. Применяют отключение питания на период воздействия ТЗЧ, помехоустойчивые коды, используют сохранение нескольких состояний шины данных с некоторым интервалом и последующее голосование

«по большинству голосов», например, «два из трёх», «три из пяти». Методы обеспечения радиационной отказоустойчивости – RHBD (Radiation Hardened By Design) включают парирование SEU ячеек статической опера-

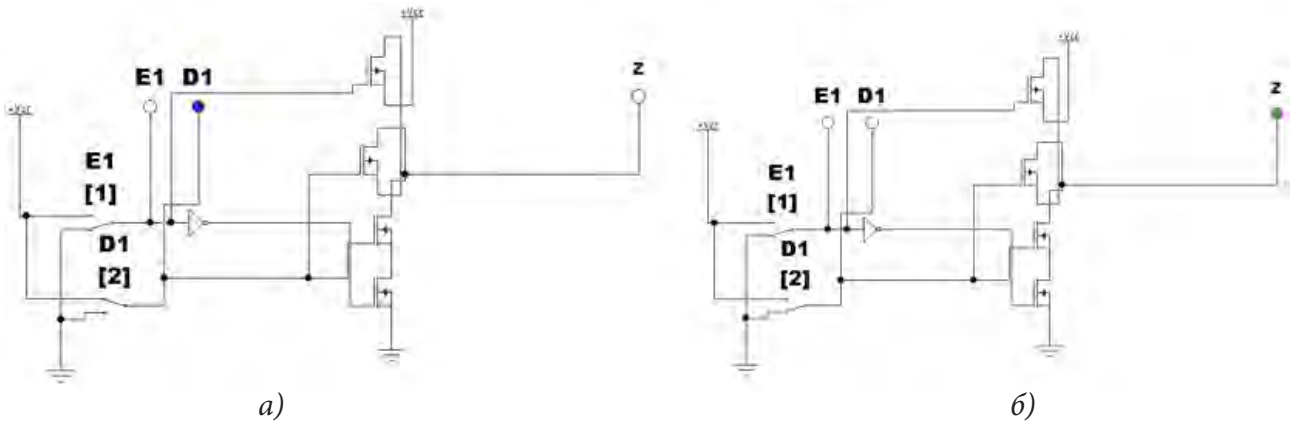


Рис. 2. Тристабильный буфер (3-state buffers, BUFT) на основе инвертора. Разрешение  $E1 = 0$  (активно). а) Передача  $D1 = 1$ ; б) передача  $D1 = 0$

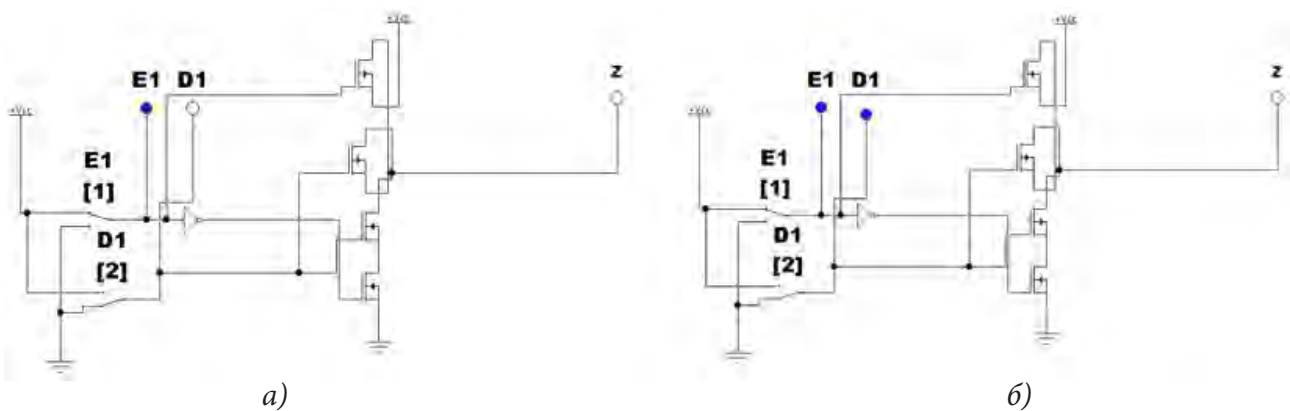


Рис. 3. Тристабильный буфер (3-state buffers, BUFT) на основе инвертора. Разрешение  $E1 = 1$  (неактивно). а) Попытка передачи  $D1 = 1$ ; б) попытка передачи  $D1 = 0$

тивной памяти SRAM путем особого дублирования – DICE (Dual Inter\_locked Storage) [3, 4]. Для парирования отказов используют тройное резервирование (Triple Modular Redundancy, TMR) или мажоритирование (функция голосования  $V = AB + AC + BC$ , где  $A, B, C$  – три канала, «+» логическая операция дизъюнкции) [3, 4]. Такое резервирование используется в программируемых логических интегральных схемах (ПЛИС) типа FPGA [5] (field-programmable gate array) серии Virtex™ фирмы Xilinx [6–8]. Вызывает интерес анализ особенностей мажоритирования, применяемого в этой серии.

## 2. ТРИСТАБИЛЬНЫЕ БУФЕРЫ

Вычисление мажоритарной функции по выходам трёх каналов с отдельным питанием  $A, B, C$  в ПЛИС типа FPGA (field-programmable gate array) может выполняться в так называемых LUT (Look Up Table), которые представ-

ляют собой ПЗУ на основе мультиплексора, входы данных которого и фиксируют заданную логическую функцию [5]. В архитектуре Virtex™ фирмы Xilinx [6] описано использование для этих целей внутренних тристабильных буферов (3-state buffers, BUFT). Рассмотрим модель тристабильного буфера в системе схемотехнического моделирования National Instruments Electronics Workbench Group [9] – рис. 2, 3.

Таким образом, на рис. 3 показана реализация третьего состояния (высокоимпедансного состояния) на выходе буфера. Модель второго типа тристабильного буфера на основе передающих транзисторов в системе схемотехнического моделирования National Instruments Electronics Workbench Group [9] представлена на рис. 4.

Таким образом, на рис. 5 показана реализация третьего состояния (высокоимпедансного состояния) на выходе буфера, построенного на основе передающих транзисторов.

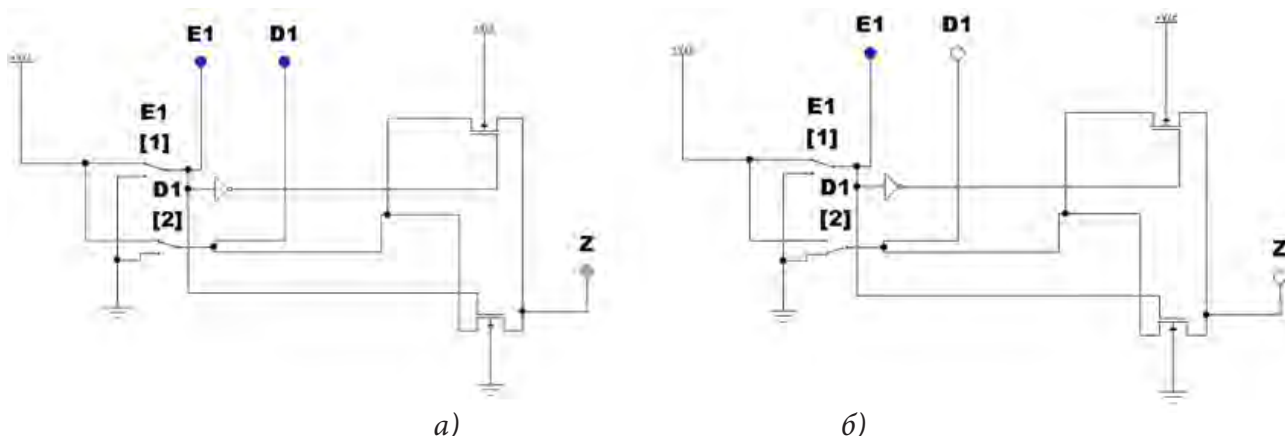


Рис. 4. Тростабильный буфер на основе передающих транзисторов. Разрешение  $E1 = 1$  (активно). а) Передача  $D1 = 1$ ; б) передача  $D1 = 0$

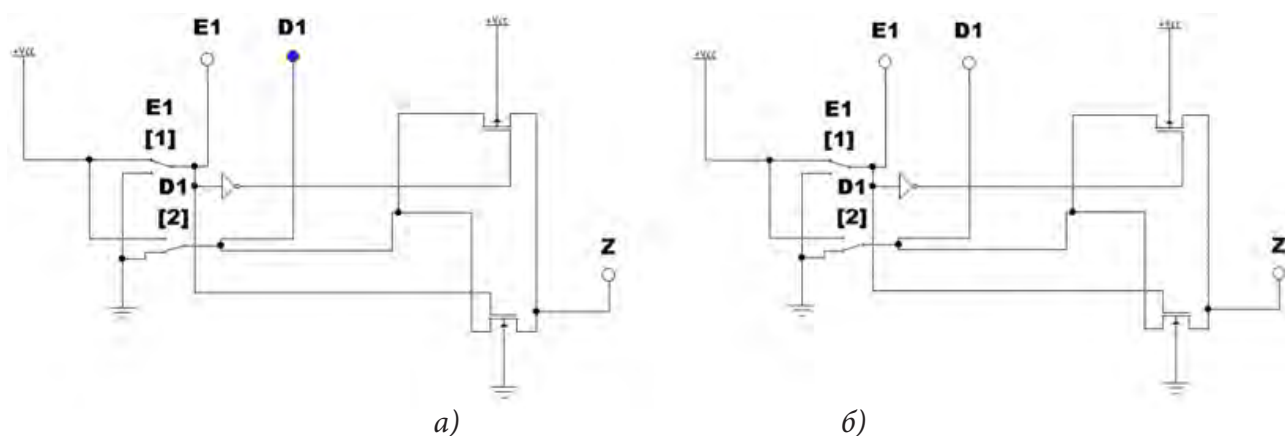


Рис. 5. Тростабильный буфер на основе передающих транзисторов. Разрешение  $E1 = 0$  (неактивно). а) Попытка передачи  $D1 = 1$ ; б) попытка передачи  $D1 = 0$

### 3. МАЖОРИТИРОВАНИЕ НА ОСНОВЕ ТРИСТАБИЛЬНЫХ БУФЕРОВ

Итак, согласно [6] мажоритирование (Triple Module Redundancy-TMR), реализуется следующей схемой на основе тростабильных буферов – рис. 6.

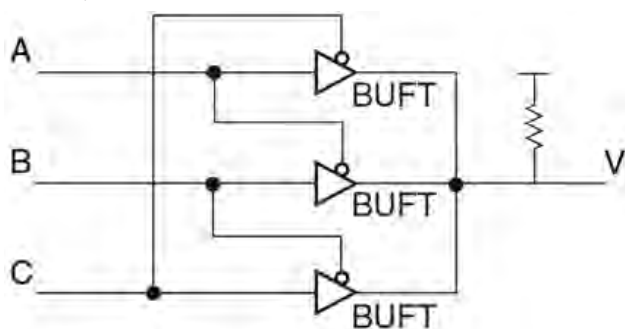


Рис. 6. Мажоритарное устройство (Majority Vote Circuit) на основе тростабильных буферов (3-state buffers, BUFT)

Схема рис. 6. предполагает монтажное «И» с использованием нагрузочного резистора (типа Pullup). Модель мажоритарного устройства на основе тростабильных буферов в системе схемотехнического моделирования National Instruments Electronics Workbench Group [9] представлена на рис. 7, 8.

Таким образом, мажоритарная функция на выходе схемы рис. 7 не реализуется. Однако, в [6] указано, что в ПЛИС Virtex используется так называемая логика горизонтальной шины (Virtex Horizontal Bus Logic) – рис. 8.

Таким образом реализуется мажоритарная функция в виде:  $AB + AC + BC = (A + B)(A + C)(B + C)$ . То есть выполнено преобразование с использованием дистрибутивного закона. Четвертый буфер с четвертого конфигурируемого логического блока не используется. Соответствующая схема в системе схемотехнического моделирования National

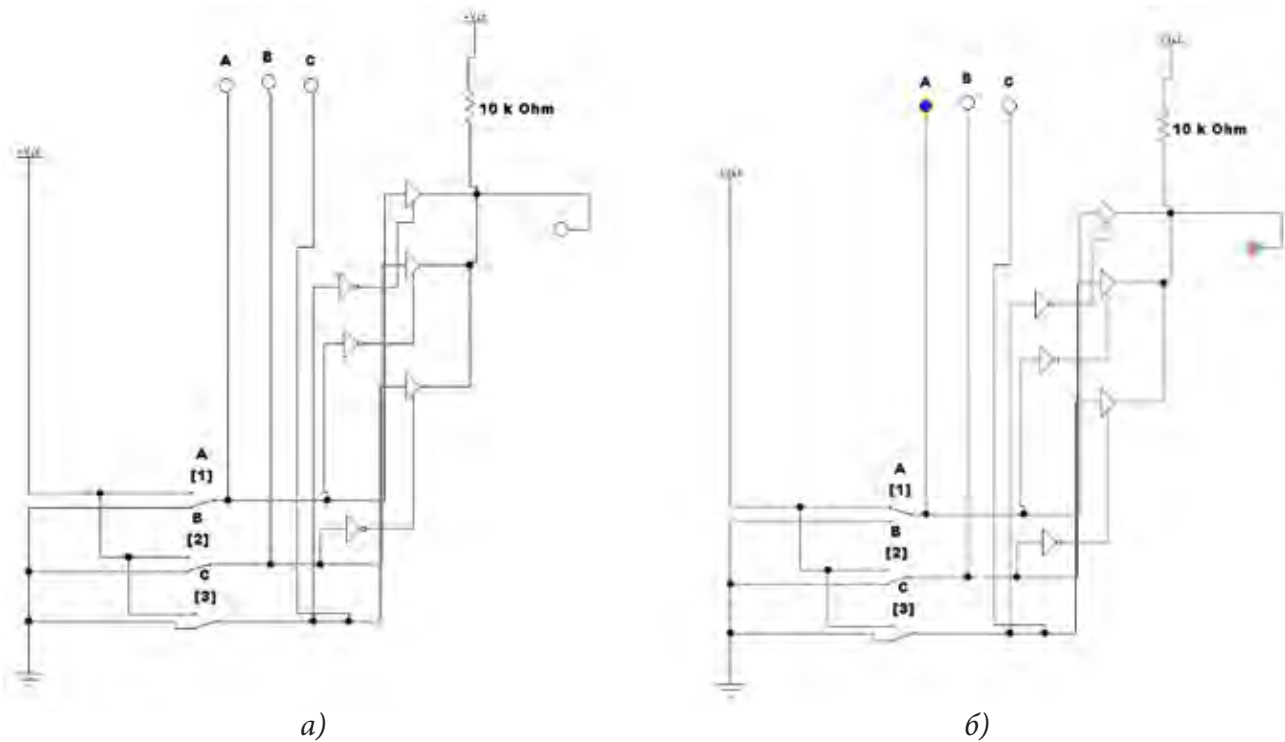


Рис. 7. Мажоритарный элемент на основе тристабильных буферов.  
 а) На наборе 000 на выходе 0; б) На наборе 100 на выходе 1

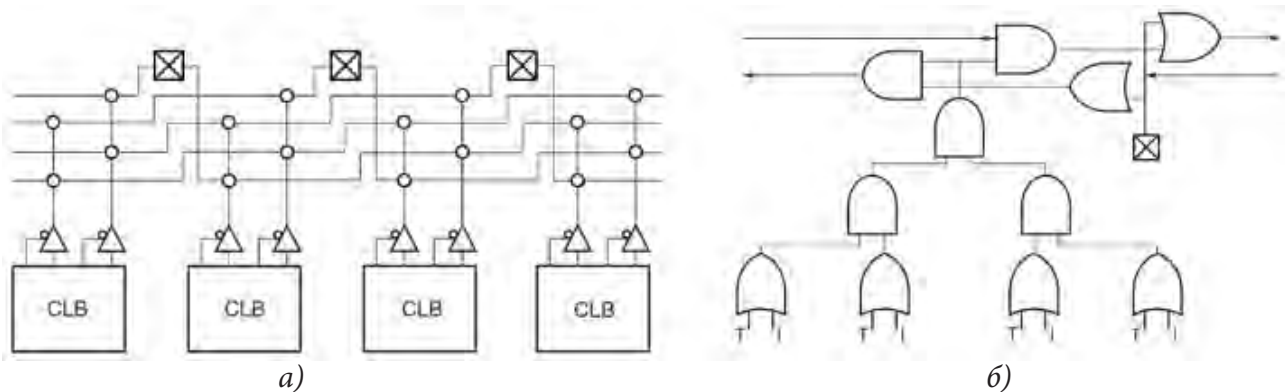


Рис. 8. Логика горизонтальной шины (Virtex Horizontal Bus Logic).  
 а) Схема подключения буферов на выходе конфигурируемых логических блоков к горизонтальным шинам; б) эквивалентная схема мажоритарного устройства, Т- сигнал управления третьим состоянием, I-информационный сигнал

Instruments Electronics Workbench Group [9] представлена на рис. 9.

Таким образом, мажоритарная функция на выходе схемы Рис.9б, имеющей элементы И, реализуется. Модель схемы рис. 6 с резистором pullups на языке VHDL имеет вид табл. 1.

Результаты моделирования в САПР ActivHDL подтверждают реализацию мажоритарной функции при условии  $(o \leq '1' \text{ when}$

$i='Z' \text{ else } '0' \text{ when } i='X' \text{ else } i)$  и представлены на рис. 10.

Однако аппаратная реализация схемы рис. 10, обеспечивающая условие  $(o \leq '1' \text{ when } i='Z' \text{ else } '0' \text{ when } i='X' \text{ else } i)$  скрыта от пользователя. Возможное соответствие элементов схемы рис. 6 и рис. 8 показано на рис. 11.

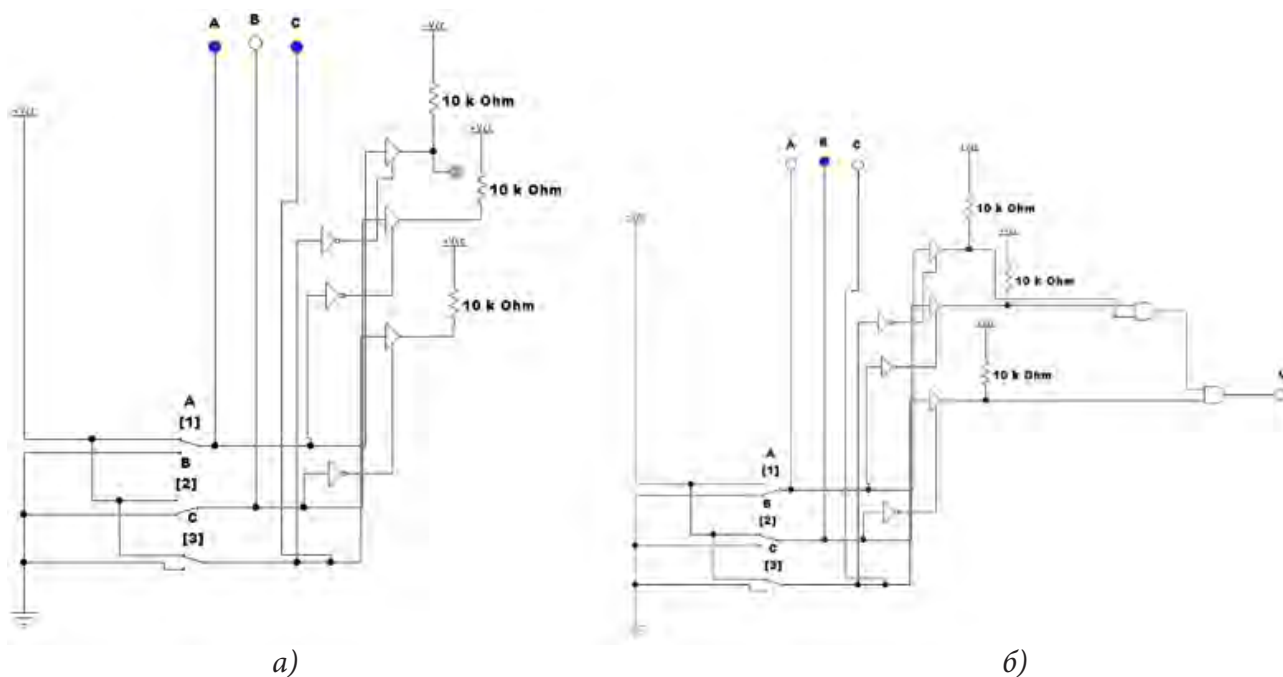


Рис. 9. Мажоритарный элемент на основе тристабильных буферов.  
 а) На наборе 101 дизъюнкция  $A + B = 1$ ; б) На наборе 010 на выходе 0

Таблица 1

library IEEE;	Подключение библиотеки IEEE
use IEEE.STD_LOGIC_1164.all;	Подключение пакета IEEE.STD_LOGIC_1164.all с описанием типа STD_LOGIC (стандарт 1164), где имеются буферы и резисторы pullups
entity pullups is port (i : in STD_LOGIC; o : out STD_LOGIC); end pullups;	Раздел описания связей устройства pullups с внешним миром (порты ввода-вывода: их направленность, тип) – интерфейс  i -вход буфера o-выход буфера
architecture pullups of pullups is begin	Раздел описания (архитектура) функционирования, состоящий из одного условного параллельного оператора присваивания значения сигналу $\leq$ when else ...
$o \leq '1'$ when $i = 'Z'$ else $'0'$ when $i = 'X'$ else i;	Выходу o присваивается (символ присвоения $\leq$ ) значение 1 если значение входа i равно Z (плавающий потенциал с учетом подтяжки потенциал смещается к 1),  иначе присваивается 0 если значение входа i равно X (неопределённое состояние, когда проводит один верхний и один нижний транзисторы, конфликт сигналов),  иначе выходу присваивается значение входа i
end pullups;	Конец описания

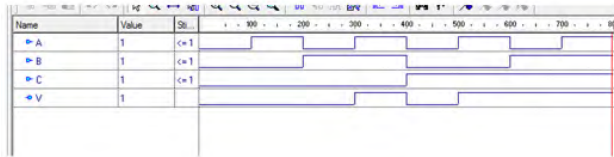
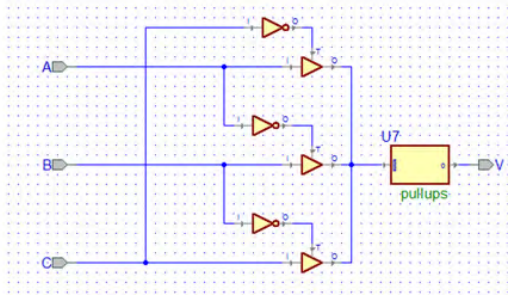


Рис. 10. Моделирование мажоритарного элемента рис. 6 на основе тристабильных буферов с настраиваемым резистором pullups в САПР ActivHDL, t-управляющий сигнал

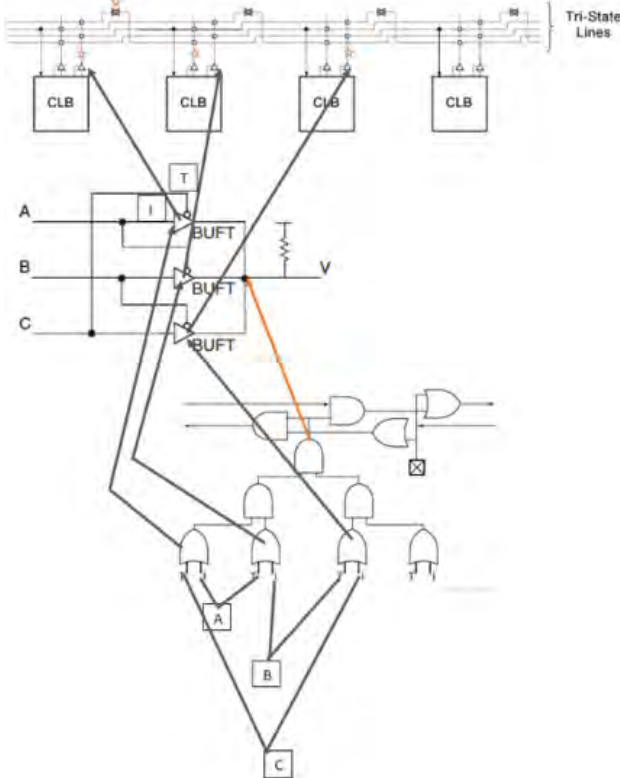


Рис. 11. Соответствие элементов схемы рис. 6 и рис. 8

#### 4. МАЖОРИТИРОВАНИЕ НА ОСНОВЕ ТРИСТАБИЛЬНЫХ БУФЕРОВ С ИСПОЛЬЗОВАНИЕМ ФУНКЦИИ «МИНОРИТИ»

Отсутствие конфликтов сигналов (X в модели на языке VHDL) на выходах буферов согласно [6] реализуется с использованием так

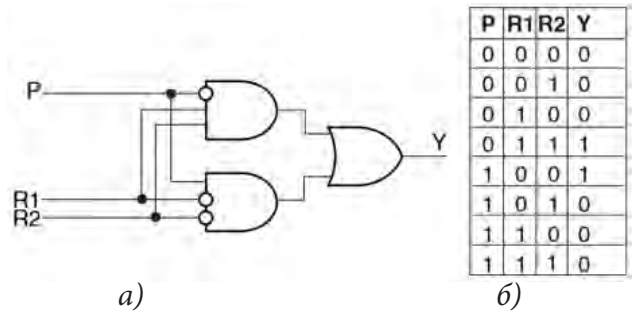


Рис. 12. Функция «минорити» (Minority Voted) а) схема реализации; б) таблица истинности

называемой функции минорити (голосование по меньшинству голосов, миноритарная функция, Minority) – рис. 12.

Реализация мажоритирования с использованием LUT-«минорити» (Minority Voted) для выдачи мажоритированного сигнала на выходы ПЛИС показана на рис. 13, 14.

Соединение буферных схем, например, изображённых на рис. 2, подтверждает возможность указанного на рис. 13, 14 соединение буферов без резистора – рис. 15.

## ВЫВОДЫ

Таким образом, в ПЛИС Virtex фирмы Xilinx при реализации троирования (Triple Module Redundancy – TMR) с целью повышения радиационной стойкости используются встроенные схемы выбора «2 из 3-х» или мажоритирования (голосования по большинству голосов – Majority Voter Circuit). При этом мажоритарная функция может быть реализована на основе внутренних буферных элементов с тремя состояниями на выходе, отсутствующих в ПЛИС других производителей. Однако, моделирование такого мажоритара, использующего соединение выходов буферов с нагрузочным резистором (типа pullup), в системе в системе схемотехнического моделирования National Instruments Electronics Workbench Group показало, что такая схема неработоспособна в связи с конфликтом сигналов на выходах буферов. Тем не менее, производитель утверждает, что при использовании логики горизонтальной шины (Virtex Horizontal Bus Logic) конфликты исключены. Моделирование эквивалентной схемы, приведённой в [6] с помощью системы схемотехни-

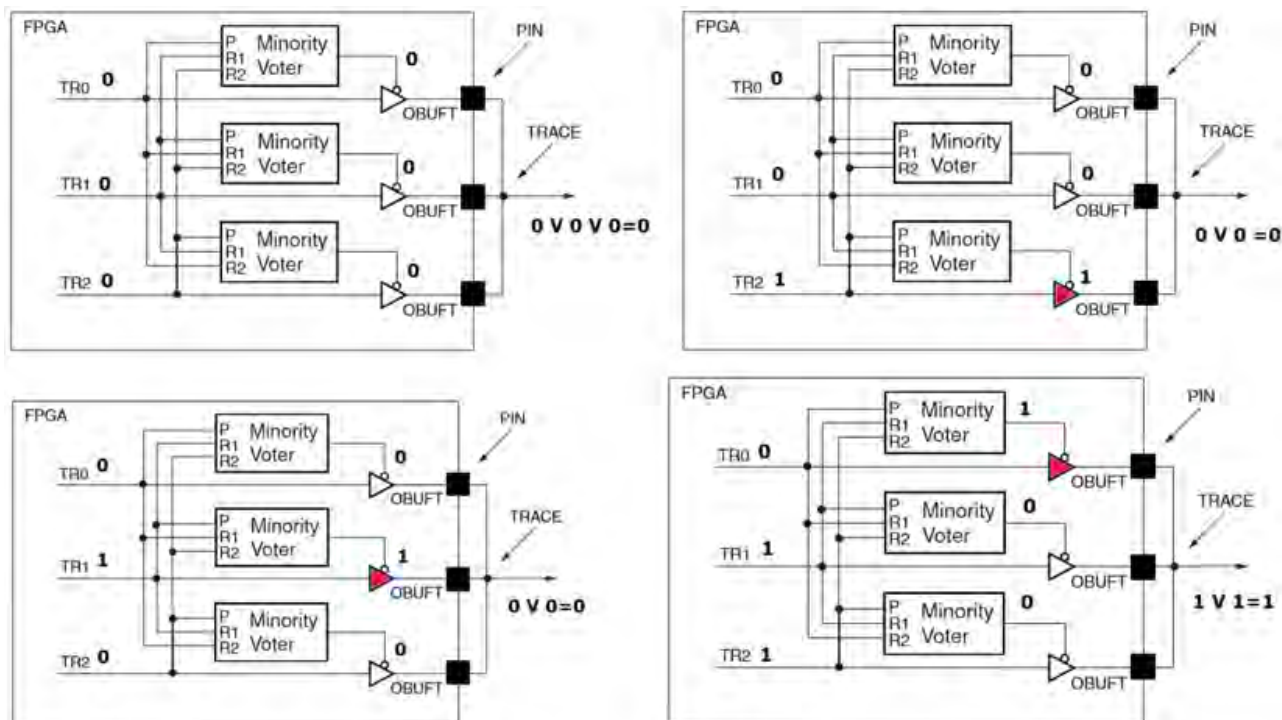


Рис.13. Реализация мажоритирования с использованием схем «минорити» (Minority Voted) на наборах 000,001, 010,011

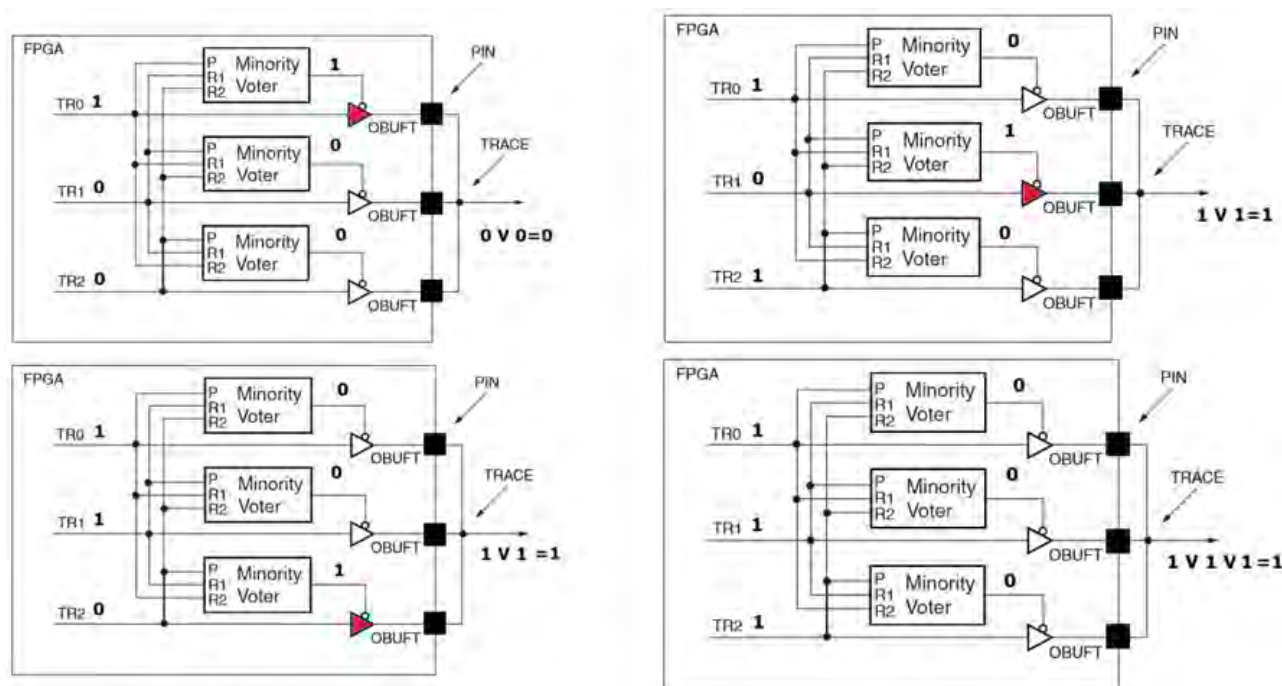


Рис. 14. Реализация мажоритирования с использованием схем «минорити» (Minority Voted) на наборах 100,101, 110,111

ческого моделирования National Instruments Electronics Workbench Group, а также в САПР ActivHDL подтвердило такую возможность, однако, конкретное схемное решение установить не удалось, вероятно производитель намеренно его не раскрывает. В то же время,

указывается, что подобные буферные мажоритары обладают низким быстродействием, лучшие временные характеристики у стандартных логических элементов LUT. Вместе с тем, для выдачи мажоритированного сигнала на контакты ПЛИС без соответствующих бу-



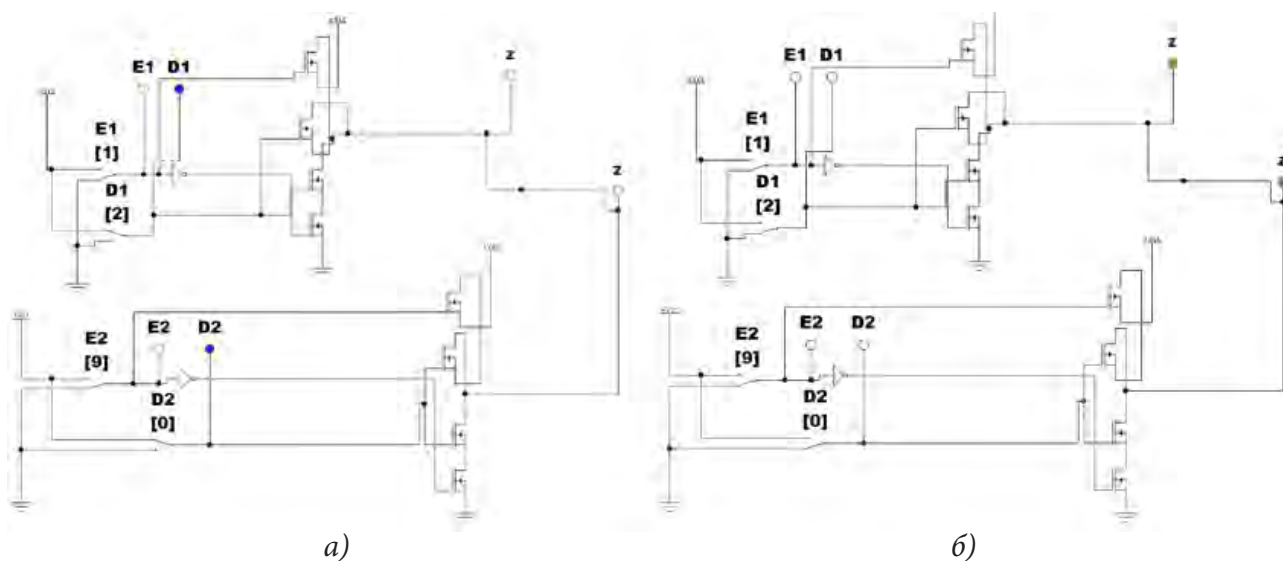


Рис. 15. Реализация соединения буферных элементов по выходу без использования резистора

ферных элементов не обойтись. В этом случае в Virtex используется функция «минорити». При минорити, реализованных в трёх LUT, единичный сигнал формируется только в случае отличия данного входа от двух других, что обеспечивает на выходе буферов, не находящихся в третьем состоянии, всегда 0 или 1 без «смещения» и без использования резистора, то есть конфликты исключены. Моделирование такой схемы подтвердило её работоспособность.

#### СПИСОК ЛИТЕРАТУРЫ

1. ГОСТ 18298-79. Стойкость аппаратуры, комплектующих элементов и материалов радиационная. Термины и определения. – URL: <http://www.internet-law.ru/gosts/gost/4457/> (дата обращения 30.06.2016)
2. Основные положения Заключения Межведомственной комиссии по анализу причин нештатной ситуации, возникшей в процессе проведения летных испытаний космического аппарата «Фобос-Грунт». – URL: <http://www.federspace.ru/18126/> (дата обращения 30.06.2016)
3. Donald C. Mayer, Ronald C. Laco. Designing Integrated Circuits to Withstand Space Radiation. Vol.4, № 2, Crosslink. – URL: <http://www.aero.org/publications/crosslink/summer2003/06.html> (дата обращения 20.10.2013)

4. Юдинцев В. Радиационно-стойкие интегральные схемы. Надёжность в космосе и на земле // Электроника: Наука, Технология, Бизнес: журнал. – 2007. – № 5. – С. 72–77. – URL: [http://www.electronics.ru/files/article\\_pdf/0/article\\_592\\_363.pdf](http://www.electronics.ru/files/article_pdf/0/article_592_363.pdf)

5. Строгонов А., Цыбин С. Программируемая коммутация ПЛИС: взгляд изнутри. – Режим доступа: [http://www.kit-e.ru/articles/plis/2010\\_11\\_56.php](http://www.kit-e.ru/articles/plis/2010_11_56.php) (дата обращения 16.12.2014)

6. Carl Carmichael. Triple Module Redundancy Design Techniques for Virtex FPGAs. – URL: [https://www.xilinx.com/support/documentation/application\\_notes/xapp197.pdf](https://www.xilinx.com/support/documentation/application_notes/xapp197.pdf) (дата обращения: 07.12.2016).

7. Xilinx Reduces Risk and Increases Efficiency for IEC61508 and ISO26262 Certified Safety Applications. WP461 (v1.0) April 9, 2015. – URL: [http://www.xilinx.com/support/documentation/white\\_papers/wp461-functional-safety.pdf](http://www.xilinx.com/support/documentation/white_papers/wp461-functional-safety.pdf) (дата обращения: 20.12.2016).

8. QPro Virtex-II 1.5V Platform FPGAs. DS122 (v3.0) April 7, 2014. – URL: [http://www.xilinx.com/support/documentation/data\\_sheets/ds122.pdf](http://www.xilinx.com/support/documentation/data_sheets/ds122.pdf) (дата обращения: 20.12.2016).

9. Сайт разработчика National Instruments. – URL: // <http://www.ni.com/multisim/> (дата обращения: 22.12.2016).

**Гончаровский Олег Владленович** – доцент кафедры автоматике и телемеханики, канд. техн. наук, доцент, электротехнический факультет, Пермский национальный исследовательский политехнический университет.  
E-mail: 35911953@mail

**Goncharovskij Oleg Vladlenovich** – Associate Professor, Ph.D., Associate Professor at the Department of Automation and Telemechanics, Electrical Engineering Faculty, Perm National Research Polytechnic University.  
E-mail: 35911953@mail

**Тюрин Сергей Феофентович** – заслуженный изобретатель Российской Федерации, д-р техн. наук, профессор кафедры автоматике и телемеханики, электротехнический факультет, Пермский национальный исследовательский политехнический университет.  
E-mail: tyurinsergfeo@yandex.ru

**Tyurin Sergey Feofentovich** – Honored Inventor of the Russian Federation, Doctor of Technical Sciences, Professor at the Department of Automation and Telemechanics, Electrical Engineering Faculty, Perm National Research Polytechnic University.  
E-mail: tyurinsergfeo@yandex.ru