

ПРОГРАММИРУЕМЫЙ ЛОГИЧЕСКИЙ ЭЛЕМЕНТ ДЛЯ САМОСИНХРОННЫХ СХЕМ

С. Ф. Тюрин

Пермский национальный исследовательский политехнический университет

Поступила в редакцию 04.09.2016 г.

Аннотация. Самосинхронная схемотехника (ССС), фундамент которой заложил Д. Маллер, востребована в последнее время не только в «зелёных» энергосберегающих технологиях, но и для преодоления проблем повышения степени интеграции до наноуровня, когда уже начинают сказываться квантовые эффекты. В институте проблем информатики - ИПИ РАН продолжая дело советской исследовательской группы В.И. Варшавского, работает группа Степченкова Ю.А., которая разработала обширную библиотеку самосинхронных элементов. В Великобритании сейчас работает в этом направлении А. Яковлев, ранее работавший с В. Варшавским. Однако перспективное направление СССР плохо согласуется с другим активно развивающимся направлением цифровой схемотехники – с направлением программируемых логических схем (ПЛИС) FPGA (field-programmable gate array). В нашей стране СССР реализуется в основном на так называемых полужаказных цифровых интегральных микросхемах – базовых матричных кристаллах – БМК. В то же время возможно использовать для реализации логических функций в БМК универсальный логический элемент ПЛИС, называемый также Logic Cell, а чаще – LUT – Look Up Table (просмотровая таблица – имеется в виду таблица истинности). LUT выполнен на основе мультиплексора, который строится в виде дерева из элементарных мультиплексоров 2–1 на базе передающих МОП транзисторов, входы данных которого настраиваются так называемыми конфигурируемыми ячейками статической памяти SRAM. Предлагается модификация LUT-ST LUT, позволяющая использовать его в СССР в качестве настраиваемого (конфигурируемого) логического элемента СССР. Выполняется моделирование в системе схемотехнического моделирования National Instruments Electronics Workbench Group, подтверждающее работоспособность технического решения. На устройство подана заявка на выдачу патента.

Ключевые слова: самосинхронная схемотехника, КМДП транзистор, логический элемент, ПЛИС типа FPGA, LUT, система схемотехнического моделирования National Instruments Electronics Workbench Group.

Annotation. Self-timed technology (STT), which laid the foundations of D. Muller, actively promoted in recent years, not only on the “green” wave of energy saving technologies, but also in line with the increasing degree of integration of digital chips to the nanoscale, where already beginning to affect the quantum effects. Institute of Informatics Problems – IPI RCA continuing the work of the group V.I. Warsawski, has developed an extensive library of self-timed elements. In the UK, he is now working in this direction Yakovlev, who previously worked with V.I. Warsawski. However, a promising direction self-timed circuits – STC does not agree with other active digital circuit design, revolves direction – the direction of programmable logic – FPGA (field-programmable gate array). In our country, the STT is implemented mainly in the so-called semicustom digital integrated circuits based on the gate array - GA. At the same time, may be used to implement the logic functions in FPGA logic element, also called Logic Cell, and more often – LUT – Look Up Table (LUT - refers to the truth table). LUT is made on the basis of the multiplexer, which is constructed as a tree of elementary multiplexers 2–1 on the basis of the transmission MOS transistors whose data inputs are set up so-called configurable SRAM static memory cell. The article proposed modification LUT-ST LUT, allowing to use it as a custom (configurable) logic element STC. The simulation ST LUT is executed in the system NI Multisim 10 by National Instruments Electronics Workbench Group and confirms the efficiency of the proposed technical solutions. On the unit filed an application for a patent.

Keywords: Self-Timed Technology, CMOS Transistor, FPGA, Logic Element, LUT, National Instruments Electronics Workbench Group.

1. ВВЕДЕНИЕ

В настоящее время активно развивается направление самосинхронной схемотехники (ССС) – создание самосинхронных цифровых устройств – СС ЦУ, обладающих повышенным быстродействием и работающих на ультранизких напряжениях питания [1–5].

Много споров вызывает вопрос реализации СС схем в программируемых логических интегральных схемах – ПЛИС [6–8]. Есть обоснованное мнение, что СССР и ПЛИС не совместимы. Тем не менее, регулярно появляется информация о создании СС ПЛИС.

Логические ячейки (Logic Cell) или логические элементы ЛЭ являются основой программируемых логических интегральных схем (ПЛИС) типа FPGA (field-programmable gate array) [6–7] – и представляют из себя постоянные запоминающие устройства ПЗУ (называемые также LUT – Look Up Table), реализованные на мультиплексоре, входы данных которого настраиваются константами. Логический элемент на четыре переменные 4-LUT реализует путем соответствующей настройки $a, b, c, d, e, f, g, h, j, k, l, m, n, o, p$ любую логическую функцию не более чем 4- переменных $x_4x_3x_2x_1$ и описывается выражением:

$$z_{OUT}(x_4x_3x_2x_1) = \overline{a}x_4\overline{x_3}\overline{x_2}\overline{x_1} \vee \overline{b}x_4\overline{x_3}x_2x_1 \vee \overline{c}x_4x_3\overline{x_2}\overline{x_1} \vee \overline{d}x_4x_3x_2x_1 \vee \overline{e}x_4x_3\overline{x_2}x_1 \vee \overline{f}x_4x_3x_2\overline{x_1} \vee \overline{g}x_4x_3x_2x_1 \vee \overline{h}x_4\overline{x_3}x_2x_1 \vee \overline{j}x_4\overline{x_3}\overline{x_2}\overline{x_1} \vee \overline{j}x_4\overline{x_3}\overline{x_2}x_1 \vee \overline{k}x_4\overline{x_3}x_2\overline{x_1} \vee \overline{l}x_4\overline{x_3}x_2x_1 \vee \overline{m}x_4x_3\overline{x_2}\overline{x_1} \vee \overline{n}x_4x_3\overline{x_2}x_1 \vee \overline{o}x_4x_3x_2\overline{x_1} \vee \overline{p}x_4x_3x_2x_1. \quad (1)$$

Однако в справочнике [5] нет СС-мультиплексора более чем на 2 направления, а он больше всего и подходит на роль конфигурируемого логического элемента СССР. Вызывает интерес модификация LUT для использования его в СССР.

2. САМОСИНХРОННЫЙ LUT – ST LUT НА 2 ПЕРЕМЕННЫЕ

Для реализации СС ЦУ на основе LUT необходимы парафазные входы переменных, что усложняет межсоединения – надо передавать переменную и её инверсию. Точнее, необходимо в 2 раза больше линий связи, чем для реализации синхронного устройства. Предлагаемый ST 2-LUT изображён на рис. 1.

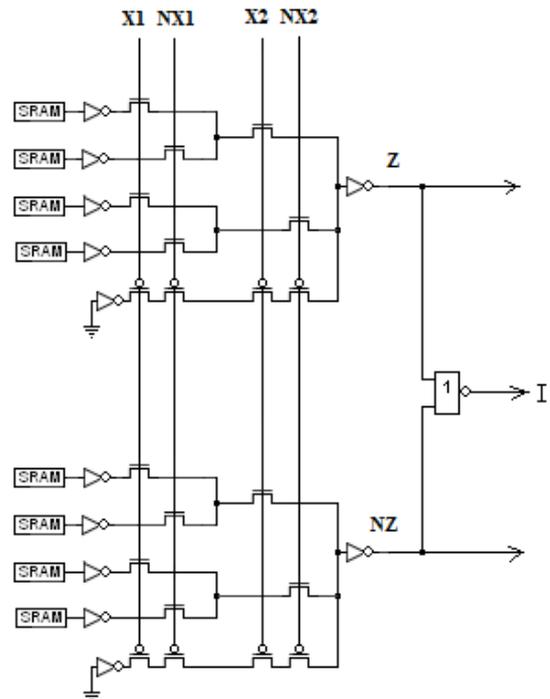


Рис. 1. Самосинхронный (self-timed) LUT – ST LUT на 2 переменные

Логический элемент на две переменные 2-LUT реализует путем соответствующей настройки a, b, c, d ячейками конфигурационной памяти SRAM любую логическую функцию не более чем 2-х переменных x_2x_1 и описывается выражением:

$$z_{OUT}(x_2x_1) = \overline{a}x_2\overline{x_1} \vee \overline{b}x_2x_1 \vee \overline{c}x_2\overline{x_1} \vee \overline{d}x_2x_1. \quad (2)$$

В схеме на рис. 1 при ортогональности сигналов X1, NX1 и X2, NX2 всегда активируется только одна цепочка в дереве транзисторов, передавая сигнал с соответствующей ячейки конфигурационной памяти SRAM на выходной инвертор. При этом настройка двойственного канала инверсна настройке SRAM основного канала, что обеспечивает парафазный выход Z, NZ. Однако, необходимы также средства реализации спейсера, то есть, на-

пример, нулевого: $X1 = NX1 = X2 = NX2 = 0$. При единичном спейсере активируются все передающие транзисторы схемы рис. 1, чего не должно быть: к выходному инвертору подключаются все ячейки конфигурационной памяти SRAM.

При $X1 = NX1 = X2 = NX2 = 0$ ни одна цепочка дерева транзисторов не активируется, поэтому предлагается ввести ещё одну цепочку – цепочку спейсера (третьи ветви к выходным инверторам).

Дополнительная цепочка нулевого спейсера обеспечивает выдачу на выходы LUT $Z = 0$, $NZ = 0$ сигнала логического нуля, что активирует через элемент 2ИЛИ-НЕ сигнал индикации I – рис. 1.

Загрузка функций настройки осуществляется «в статике» – без всяких фаз, перед началом работы. Для обеспечения работы ST LUT также дополнительно необходим гистерезисный триггер [1–5].

3. МОДЕЛИРОВАНИЕ САМОСИНХРОННОГО ST 1-LUT

Логический элемент на одну переменную 1-LUT является мультиплексором 2-1 и осно-

вой LUT на любое число переменных. Он реализует путем соответствующей настройки a , b ячейками конфигурационной памяти SRAM любую логическую функцию не более чем одной переменной x и описывается выражением:

$$z_{OUT}(x) = a\bar{x} \vee bx_1. \quad (3)$$

Модель предлагаемого ST 1-LUT в системе схемотехнического моделирования National Instruments Electronics Workbench Group изображена на рис. 2.

На рис. 2 основной мультиплексор 2-1 реализован на транзисторах T0, T1, его настройка осуществляется ключами d0, d1, состояния которых отображается на соответствующих индикаторах. Причём, d0, d1 имитируют состояние SRAM, в которую и загружается требуемая таблица истинности. Инверторы NOT0, NOT1 являются необходимыми элементами LUT по входам дерева передающих транзисторов. Аналогично реализован двойственный канал на транзисторах T2, T3 с настройкой d2, d3. Альтернативные цепи спейсера реализованы на T4, 5 и T6, 7. Штатные инверторы LUT здесь использованы для управления T4, 5 и T6, 7 в фазе гашения. Результат вычисления

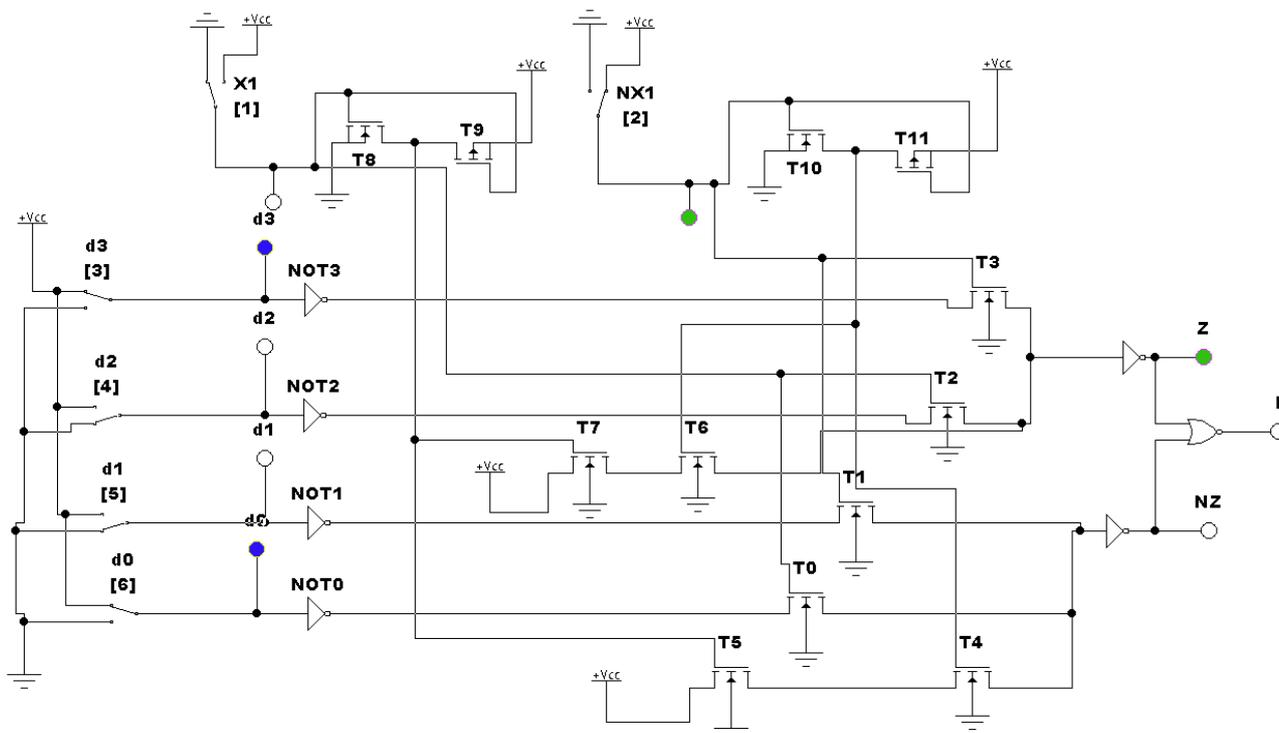


Рис. 2. Модель ST 1-LUT в системе схемотехнического моделирования National Instruments Electronics Workbench Group

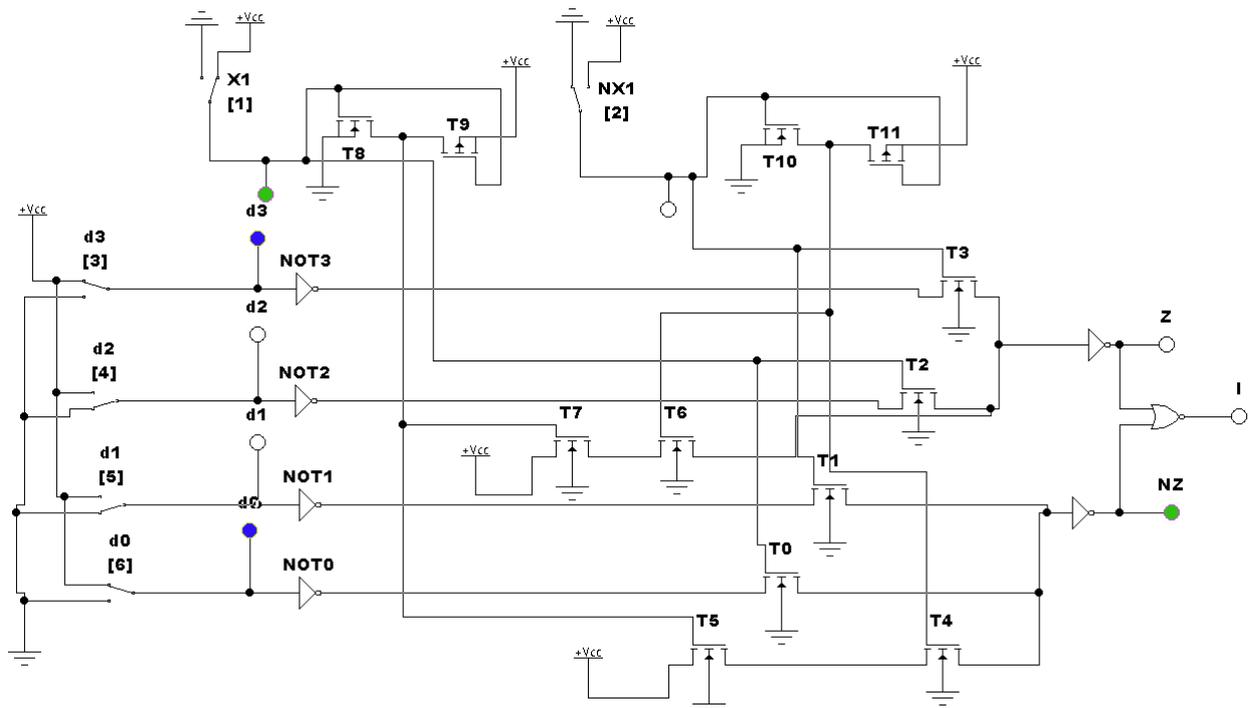


Рис. 3. Вычисление в ST 1-LUT при $X1=1$

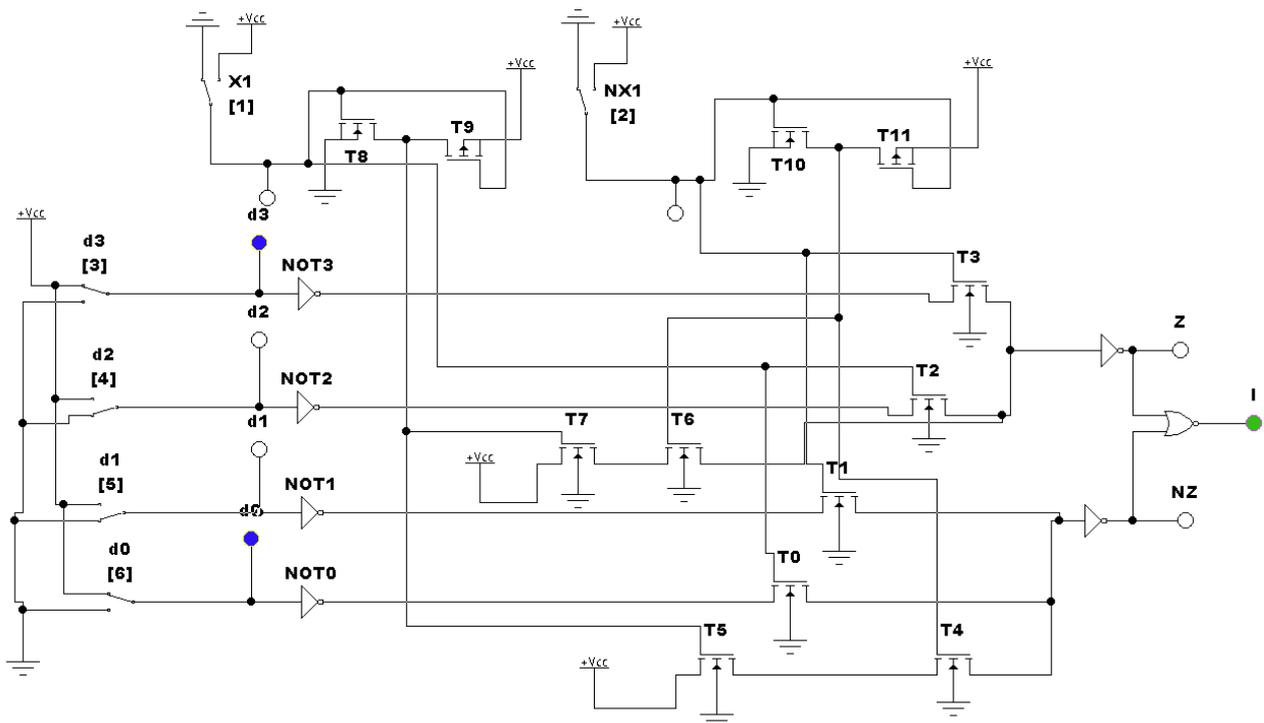


Рис. 4. Фаза гашения в ST 1-LUT при $X = NX = 0, I = 1$

формируется на выходах Z, NZ, индикация I осуществляется элементом 2ИЛИ-НЕ. Настройки основного и двойственного каналов должны быть инверсны. На рис. 2 показано вычисление при $X1 = 0$. На рис. 3 показано вычисление при $X1 = 1$.

Видим (рис. 2, 3), что сигналы Z, NZ взаимно инверсны. В этом случае $I = 0$, то есть это рабочая фаза. В фазе гашения $X = NX = 0$ (рис. 4).

В фазе гашения за счёт T4, 5 и T6, 7 обеспечивается подача потенциала логической

единицы на выходные инверторы, поэтому $Z = NZ = 0$ и, соответственно $I = 1$. Сигнал I воспринимается внешним гистерезисным триггером для обеспечения чередования рабочих фаз и фаз гашения в соответствии с принципами работы ССС.

4. ЗАКЛЮЧЕНИЕ

Таким образом, предложенный самосинхронный LUT – ST LUT обеспечивает двухфазную дисциплину вычислений в ССС с нулевым спейсером. Для этого вводится дополнительный, двойственный канал LUT и инверсной настройкой. Кроме того, необходимы альтернативные цепочки передающих транзисторов для обеспечения ортогональности сигналов на входах выходных инверторов в фазе гашения. Моделирование ST LUT в системе схемотехнического моделирования National Instruments Electronics Workbench Group подтвердило работоспособность предложенного технического решения. На устройство подана заявка на выдачу патента. Предложенный ST LUT может быть использован в ССС на основе БМК как дополнительный элемент, настраиваемый константами. Целью последующих исследований может быть синтез ССС с использованием различных настроек ST LUT.

СПИСОК ЛИТЕРАТУРЫ

1. Muller D. E., Bartky W. S. A theory of asynchronous circuits // Proc. Int Symp. On the Theory of Switching, Part 1. – Harvard University Press, 1959. – P. 204–243.

Тюрин Сергей Феофентович – д-р техн. наук, профессор, За-служенный изобретатель РФ, профессор кафедры АТ, Пермский национальный исследовательский политехнический университет.
Тел.: (342)-212-32-50; +7-952-32-02-510
Email: tyurinsergfeo@yandex.ru

2. Аперидические автоматы: Под редакцией Варшавского В. И. – М. : Наука, 1976. – С. 304.

3. Варшавский В. И., Мараховский В. Б., Розенблюм Л. Я. и Яковлев А. В. § 4.3 Аперидическая схемотехника, в кн. Искусственный интеллект, т. 3: Программные и аппаратные средства. Под ред. В. Н. Захарова и В. Ф. Хорошевского. – М. : Радио и связь, 1990.

4. Yakovlev A. Energy-modulated computing // Design, Automation & Test in Europe Conference & Exhibition (DATE), 2011. – IEEE, 2011. – P. 1–6.

5. Степченко Ю. А., Денисов А. Н., Дьяченко Ю. Г., Гринфельд Ф. И., Филимоненко О. П., Морозов Н.В., Степченко Д. Ю. Библиотека элементов для проектирования самосинхронных полужазных микросхем серий 5503/5507 и 5508/5509 – М. : ИПИ РАН, 2008. – 296 с.

6. Угрюмов Е. П. Цифровая схемотехника : учебное пособие / Е. П. Угрюмов. – СПб : БХВ-Петербург, 2004. – 518 с.

7. Цыбин С. Программируемая коммутация ПЛИС: взгляд изнутри. – URL: http://www.kit-e.ru/articles/plis/2010_11_56.php (дата обращения: 16.12.2014).

8. Золотуха Р., Комолов Д. Stratix III – новое семейство FPGA фирмы Altera. – URL: http://kit-e.ru/assets/files/pdf/2006_12_30.pdf (дата обращения 28.11.2015)

9. Тюрин С. Ф., Каменских А. Н., Плотникова А. Ю. Программируемое логическое устройство. Положительное решение о выдаче патента на изобретение от 25.07.16 по заявке № 2015117840/08(027673) от 12.05.15.

Tyurin Sergey Feofentovich – Doctor of Technical Sciences, Honored Inventor of the Russian Federation, Professor at the Department of Automation and Telemechanics, Perm National Research Polytechnic University
Tel.: +7 952-320-02-510
e-mail: tyurinsergfeo@yandex.ru