

ОСОБЕННОСТИ КОДОВ НАСТРОЙКИ ЛОГИЧЕСКИХ ЯЧЕЕК ПЛИС FPGA ФИРМЫ ALTERA

С. Ф. Тюрин, А. С. Прохоров

Пермский национальный исследовательский политехнический университет

Поступила в редакцию 15.03.2016 г.

Аннотация. Рассматривается синтез конечного комбинационного автомата, реализующего так называемую мажоритарную функцию или функцию голосования по большинству голосов (выбор 2 из 3-х) в системе Quartus II фирмы Altera, которая в настоящий момент входит в корпорацию Intel. Фирма специализируется на производстве ПЛИС – программируемых логических интегральных схем. Исследуются особенности полученной схемы с помощью средства Map Viewer. Расшифровываются коды настройки логических элементов (Logic Cell Comb) логических элементов типа LUT (Look Up Table) ПЛИС типа FPGA, описывающие содержимое соответствующих таблиц истинности функций, зависящих от входных переменных автомата. Показывается изменение кодов в процессе оптимизации схемы, выполняемой системой Quartus II, с возможным изменением порядка следования переменных и соответствия входам LUT с четырьмя входами, но сама логическая функция не изменяется. При использовании ПЛИС Stratix IIGX, имеющей так называемые адаптивные логические модули АЛМ, у которых 6 входов, Quartus II использует 64 битные коды. Рассматриваются особенности соответствующего кодирования..

Ключевые слова: переключательная функция, комбинационный конечный автомат, мажоритарная функция или функция голосования по большинству голосов (выбор 2 из 3-х), логический элемент – LUT (Look Up Table), программируемые логические интегральные схемы – ПЛИС типа FPGA (Field – Programmable Gate Array), настройки логических элементов (Logic Cell Comb), адаптивные логические модули – АЛМ.

Annotation. The synthesis of a finite state machine that implements the so-called majority function or the function of the voting by a majority vote (choice of 2 of 3) in the Quartus II system (firm Altera). Decrypts the configuration logic elements codes (Logic Cell Comb) type LUT (Look Up Table) FPGA, describing the contents of the corresponding truth table functions that depend on the input variables of the machine. Are presented the results of a study the LUT FPGA truth tables using a Map Viewer. Shows the change of codes in the optimization scheme executed by the system Quartus II, with a possible change in the order of variables and matching LUT inputs with four inputs, but the logic function is not changed. By using FPGAs Stratix II GX, having a so-called adaptive logic modules ALM that have 6 inputs, Quartus II uses 64-bit code. The article analyzes the characteristics of the corresponding coding logic elements.

Keywords: Logic Cell Combinations, Finite State Machine – FSM, Logic Element – LUT, FPGA, Quartus II, Map Viewer.

ВВЕДЕНИЕ

Программируемые логические интегральные схемы – ПЛИС типа FPGA (Field-Programmable Gate Array) строятся на основе оперативных запоминающих устройств (ОЗУ), называемых LUT (Look Up Table) – просмотрными таблицами [1, 2]. В них записывается конфигурационная информация –

таблицы истинности требуемых логических функций.

Система QuartusII фирмы Altera (США), выпускающей ПЛИС позволяет выполнять синтез конечных автоматов. При этом автомат задаётся не только схемой в виде BDF (Block Diagram / Schematic File), но и на языках описания аппаратных средств VHDL, Verilog, AHDL и др., а также в виде графа автомата – State Machine File. QuartusII формирует коды настройки логических элементов.

Вызывает интерес расшифровка этих конфигурационных данных (Logic Cell Comb) и сравнение их с заданными логическими функциями автомата. Зададим несложный автомат и исследуем соответствующие коды настройки.

ПОЛУЧЕНИЕ ТАБЛИЦЫ ИСТИННОСТИ ДЛЯ LUT НА ЧЕТЫРЕ ВХОДА

Пусть необходимо синтезировать схему реализации переключательной функции (ПФ) трех переменных № 132. Построим таблицу истинности – рис. 1.

переменные			BC	f(abc)	
a	b	c			
0	0	0	0	0	2 ⁰
0	0	1	1	0	2 ¹
0	1	0	2	0	2 ²
0	1	1	3	1	2 ³
1	0	0	4	0	2 ⁴
1	0	1	5	1	2 ⁵
1	1	0	6	1	2 ⁶
1	1	1	7	1	2 ⁷

Рис. 1. Таблица истинности ПФ № 132₁₀

Эта ПФ №132₁₀ – так называемая мажоритарная функция, и она в ДНФ имеет вид:

$$f(abc) = ab \vee bc \vee ac = \overline{\overline{ab \vee bc \vee ac}} = \overline{\overline{ab} \cdot \overline{bc} \cdot \overline{ac}}.$$

Строим ручную схему в виде BDF (Block Diagram / Schematic File) – рис. 2.

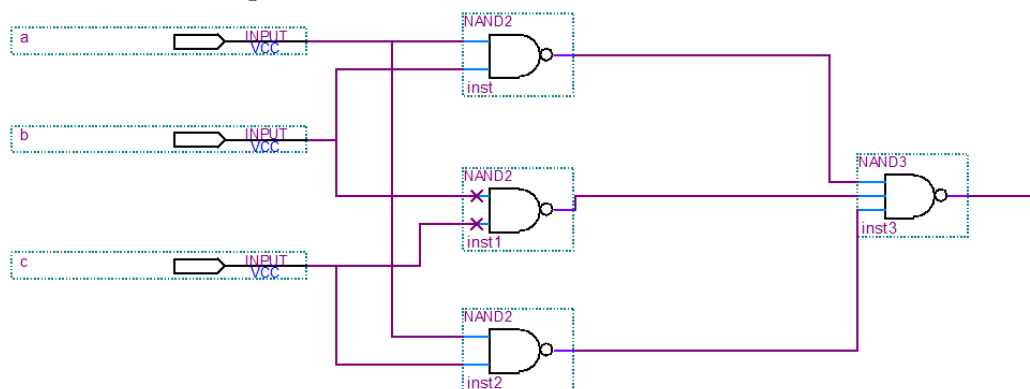


Рис. 2. Схема электрическая принципиальная реализации мажоритарной функции в виде BDF (Block Diagram / Schematic File) QuartusII

На входах схемы рис. 2 указана шина «+» источника питания Vcc – входы «подтянуты» к напряжению питания, то есть на входах в исходном состоянии – логические единицы. Компилируем проект на ПЛИС EP2C5AF256A7, получаем отчет – файл – рис. 3.

Flow Status	In progress - Sat Jan 23 12:05:46 2016
Quartus II Version	9.0 Build 132 02/25/2009 SJ Web Edition
Revision Name	Lab1
Top-level Entity Name	Lab1
Family	Cyclone II
Device	EP2C5AF256A7
Timing Models	Final
Met timing requirements	N/A
Total logic elements	1 / 4,608 (< 1 %)
Total combinational functions	1 / 4,608 (< 1 %)
Dedicated logic registers	0 / 4,608 (0 %)
Total registers	0
Total pins	4 / 158 (3 %)
Total virtual pins	0
Total memory bits	0 / 119,808 (0 %)
Embedded Multiplier 9-bit elements	0 / 26 (0 %)
Total PLLs	0 / 2 (0 %)

Рис. 3. Результат компиляции схемы на ПЛИС EP2C5AF256A7

Проанализируем отчет, предоставляемый средством Map Viewer. Схема RTL (Register transfer level – уровень регистровых передач) представлена на рис. 4.

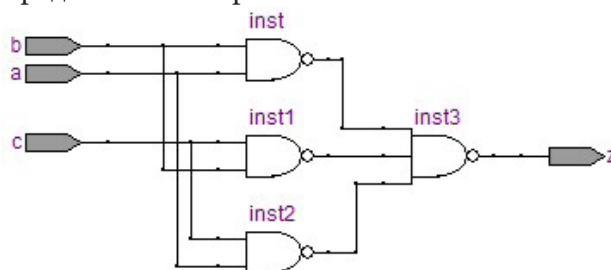


Рис. 4. RTL файл

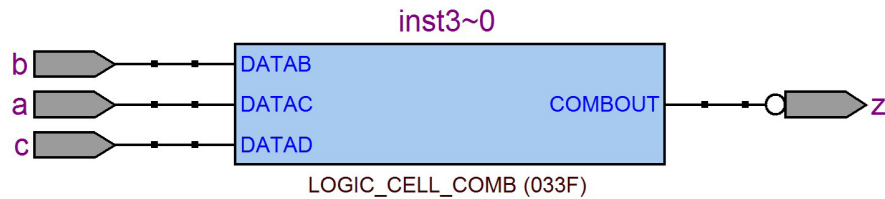


Рис. 5. Technology Map Viewer (Post Mapping)

Схема RTL фактически повторяет BDF и не содержит конфигурационной информации, но она имеется в виде шестнадцатеричного кода в отчёте Technology Map Viewer (Post Mapping – после размещения на «карте» ячеек ПЛИС) – рис. 5.

Таким образом, QuartusII фирмы Altera «упаковал» нашу схему в один единственный логический элемент ПЛИС. Расшифруем, сопоставляя входные переменные и входы логического элемента на 4 входа, код 033F настройки логического элемента – LOGIC_CELL_COMB – рис. 6.

D	C	B	A	код 033F	f(abc)
c	a	b	~		
0	0	0	0	1	0
0	0	0	1	1	0
0	0	1	0	1	0
0	0	1	1	1	0
0	1	0	0	1	0
0	1	0	1	1	0
0	1	1	0	0	1
0	1	1	1	0	1
1	0	0	0	1	0
1	0	0	1	1	0
1	0	1	0	0	1
1	0	1	1	0	1
1	1	0	0	0	1
1	1	0	1	0	1
1	1	1	0	0	1
1	1	1	1	0	1

Рис. 6. Расшифровка кода 033F – Post Mapping

Видим, что кодировка, как и положено идёт со старших разрядов таблицы истинности, в которой входы логического элемента идут в порядке D, C, B, A, а переменные,

в порядке c, a, b. Поскольку на рис.5 указана инверсия по выходу z, то и код 033F – это инверсия требуемой мажоритарной функции f(abc).

Рассмотрим теперь Technology Map Viewer (Post Fitting – после «монтажа», очевидно, после оптимизации связей) – рис. 7.

На рис. 7 видим, что изменилось подключение входов, вероятно это и есть результат оптимизации связей. Расшифруем код с новым подключением переменных – рис. 8.

D	C	B	A	код 033F	f(abc)
a	b	c	~		
0	0	0	0	1	0
0	0	0	1	1	0
0	0	1	0	1	0
0	0	1	1	1	0
0	1	0	0	1	0
0	1	0	1	1	0
0	1	1	0	0	1
0	1	1	1	0	1
1	0	0	0	1	0
1	0	0	1	1	0
1	0	1	0	0	1
1	0	1	1	0	1
1	1	0	0	0	1
1	1	0	1	0	1
1	1	1	0	0	1
1	1	1	1	0	1

Рис. 8. Расшифровка кода 033F Post Fitting – после «монтажа»

Кодировка 033F не меняется, так как функция большинства голосов не зависит от порядка следования переменных. Так и получается (сверху вниз) 033F.

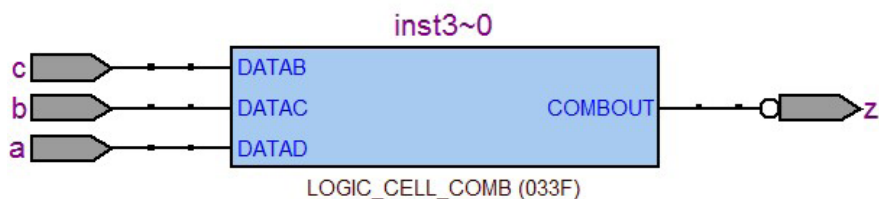


Рис. 7. Technology Map Viewer (Post Fitting)

ПОЛУЧЕНИЕ ТАБЛИЦЫ ИСТИННОСТИ ДЛЯ АЛМ НА ШЕСТЬ ВХОДОВ

Теперь зададим более сложную ПЛИС – Stratix IIGX, имеющую так называемые адаптивные логические модули АЛМ, у которых не 4 входа, а целых 6 входов. Получаем отчёт – рис. 9.

Analysis & Synthesis Summary	
Analysis & Synthesis Status	Successful - Sun Jan 24 19:38:29 2016
Quartus II Version	9.1 Build 350 03/24/2010 SP 2 SJ Web Edition
Revision Name	task1-2
Top-level Entity Name	task1-2
Family	Stratix II GX
Logic utilization	N/A
Combinational ALUTs	1
Dedicated logic registers	0
Total registers	0
Total pins	4
Total virtual pins	0
Total block memory bits	0
DSP block 9-bit elements	0
Total GXB Receiver Channels	0
Total GXB Transmitter Channels	0
Total PLLs	0
Total DLLs	0

Рис. 9. Результат компиляции на ПЛИС Stratix IIGX

Видим, что в отчёте рис. 9 указаны адаптивные LUT – ALUT, их кодировка уже 64-разрядная – это 16 шестнадцатеричных цифр – рис. 10.

Так же, как и указано выше, имеется инверсия по выходу. Расшифруем по частям настройку – код E8E8E8E8E8E8E8E8, который по идее также является инверсией мажоритарной функции, учтём дополнительные входы F, E – рис. 11.

Однако в этом случае мажоритарная функция не реализуется, вернее, реализуется её инверсия. В чём дело? Попробуем кодировку с младших разрядов – рис. 12.

Таким образом, несоответствие настроек ALUT требуемой функцией может быть объяснено «обратной» кодировкой – с младших разрядов, возможно это связано с большим размером таблицы истинности. Остальные три части таблицы истинности изображены на рис. 13–15.



Рис. 10. Technology Map Viewer (Post Mapping) для схемы на ПЛИС Stratix IIGX

F	E	D	C	B	A	E8E8	f(abc)
~	~	~	b	c	a		
0	0	0	0	0	0	0	1
0	0	0	0	0	1	0	1
0	0	0	0	1	0	0	1
0	0	0	0	1	1	1	0
0	0	0	1	0	0	0	1
0	0	0	1	0	1	1	0
0	0	0	1	1	0	1	0
0	0	0	1	1	1	1	0
0	0	1	0	0	0	0	1
0	0	1	0	0	1	0	1
0	0	1	0	1	0	0	1
0	0	1	0	1	1	1	0
0	0	1	1	0	0	0	1
0	0	1	1	0	1	1	0
0	0	1	1	1	0	1	0
0	0	1	1	1	1	1	0

Рис. 11. Расшифровка части кода E8E8 (Post Mapping) – первая часть таблицы истинности ALUT

F	E	D	C	B	A	E8E8	f(abc)
~	~	~	b	c	a		
0	0	0	0	0	0	1	0
0	0	0	0	0	1	1	0
0	0	0	0	1	0	1	0
0	0	0	0	1	1	0	1
0	0	0	1	0	0	1	0
0	0	0	1	0	1	0	1
0	0	0	1	1	0	0	1
0	0	0	1	1	1	0	1
0	0	1	0	0	0	1	0
0	0	1	0	0	1	1	0
0	0	1	0	1	0	1	0
0	0	1	0	1	1	0	1
0	0	1	1	0	0	1	0
0	0	1	1	0	1	0	1
0	0	1	1	1	0	0	1
0	0	1	1	1	1	0	1

Рис. 12. Расшифровка части кода E8E8 с младших разрядов (Post Mapping) – первая часть таблицы истинности ALUT

F	E	D	C	B	A	E8E8	f(abc)
~	~	~	b	c	a		
0	1	0	0	0	0	1	0
0	1	0	0	0	1	1	0
0	1	0	0	1	0	1	0
0	1	0	0	1	1	0	1
0	1	0	1	0	0	1	0
0	1	0	1	0	1	0	1
0	1	0	1	1	0	0	1
0	1	0	1	1	1	0	1
0	1	1	0	0	0	1	0
0	1	1	0	0	1	1	0
0	1	1	0	1	0	1	0
0	1	1	0	1	1	0	1
0	1	1	1	0	0	1	0
0	1	1	1	0	1	0	1
0	1	1	1	1	0	0	1
0	1	1	1	1	1	0	1

Рис. 13. Расшифровка части кода E8E8 с младших разрядов (Post Mapping) – вторая часть таблицы истинности ALUT

F	E	D	C	B	A	NOT f(abc)	f(abc)
~	~	~	b	c	a		
1	0	0	0	0	0	1	0
1	0	0	0	0	1	1	0
1	0	0	0	1	0	1	0
1	0	0	0	1	1	0	1
1	0	0	1	0	0	1	0
1	0	0	1	0	1	0	1
1	0	0	1	1	0	0	1
1	0	0	1	1	1	0	1
1	0	1	0	0	0	1	0
1	0	1	0	0	1	1	0
1	0	1	0	1	0	1	0
1	0	1	0	1	1	0	1
1	0	1	1	0	0	1	0
1	0	1	1	0	1	0	1
1	0	1	1	1	0	0	1
1	0	1	1	1	1	0	1

Рис. 14. Расшифровка части кода E8E8 с младших разрядов (Post Mapping) – третья часть таблицы истинности ALUT

Рассмотрим кодировку Post Fitting для схемы на ПЛИС Stratix IIGX – рис.16.

Видно, что теперь переменные «сдвинулись» к старшим разрядам F, E. Поэтому и код другой. Проверим реализацию заданной функции – рис. 17.

F	E	D	C	B	A	NOT f(abc)	f(abc)
~	~	~	b	c	a		
1	0	0	0	0	0	1	0
1	0	0	0	0	1	1	0
1	0	0	0	1	0	1	0
1	0	0	0	1	1	0	1
1	0	0	1	0	0	1	0
1	0	0	1	0	1	0	1
1	0	0	1	1	0	0	1
1	0	0	1	1	1	0	1
1	0	1	0	0	0	1	0
1	0	1	0	0	1	1	0
1	0	1	0	1	0	1	0
1	0	1	0	1	1	0	1
1	0	1	1	0	0	1	0
1	0	1	1	0	1	0	1
1	0	1	1	1	0	0	1
1	0	1	1	1	1	0	1

Рис. 15. Расшифровка части кода E8E8 с младших разрядов (Post Mapping) – четвёртая часть таблицы истинности ALUT

F	E	D	C	B	A	Код FFFF	f(abc)
a	b	~	~	c	~		
0	0	0	0	0	0	1	0
0	0	0	0	0	1	1	0
0	0	0	0	1	0	1	0
0	0	0	0	1	1	1	0
0	0	0	1	0	0	1	0
0	0	0	1	0	1	1	0
0	0	0	1	1	0	1	0
0	0	0	1	1	1	1	0
0	0	1	0	0	0	1	0
0	0	1	0	0	1	1	0
0	0	1	0	1	0	1	0
0	0	1	0	1	1	1	0
0	0	1	1	0	0	1	0
0	0	1	1	0	1	1	0
0	0	1	1	1	0	1	0
0	0	1	1	1	1	1	0

Рис. 17. Расшифровка первой части кода – FFFF ALUT с младших разрядов (Post Fitting)

ВЫВОДЫ

Таким образом, шестнадцатеричные коды – конфигурационные данные (LOGIC_CELL_COMB) LUT могут быть преобразованы в таблицы истинности соответствующих

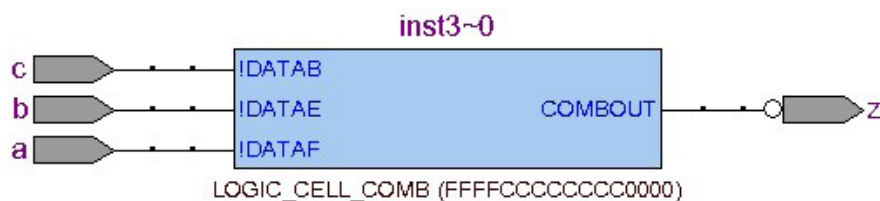


Рис. 16. Technology Map Viewer (Post Fitting) для схемы на ПЛИС Stratix IIGX

F	E	D	C	B	A	Код	f(abc)
a	b	~	~	c	~	CCCC	
0	1	0	0	0	0	1	0
0	1	0	0	0	1	1	0
0	1	0	0	1	0	0	1
0	1	0	0	1	1	0	1
0	1	0	1	0	0	1	0
0	1	0	1	0	1	1	0
0	1	0	1	1	0	0	1
0	1	0	1	1	1	0	1
0	1	1	0	0	0	1	0
0	1	1	0	0	1	1	0
0	1	1	0	1	0	0	1
0	1	1	0	1	1	0	1
0	1	1	1	0	0	1	0
0	1	1	1	0	1	1	0
0	1	1	1	1	0	0	1
0	1	1	1	1	1	0	1

Рис. 18. Расшифровка второй части кода – CCCC ALUT с младших разрядов (Post Fitting)

F	E	D	C	B	A	Код	f(abc)
a	b	~	~	c	~	CCCC	
1	0	0	0	0	0	1	0
1	0	0	0	0	1	1	0
1	0	0	0	1	0	0	1
1	0	0	0	1	1	0	1
1	0	0	1	0	0	1	0
1	0	0	1	0	1	1	0
1	0	0	1	1	0	0	1
1	0	0	1	1	1	0	1
1	0	1	0	0	0	1	0
1	0	1	0	0	1	1	0
1	0	1	0	1	0	0	1
1	0	1	0	1	1	0	1
1	0	1	1	0	0	1	0
1	0	1	1	0	1	1	0
1	0	1	1	1	0	0	1
1	0	1	1	1	1	0	1

Рис. 19. Расшифровка третьей части кода – CCCC ALUT с младших разрядов (Post Fitting)

логических функций. При этом порядок следования переменных («база» переменных) может быть произвольной и меняется при оптимизации схемы – при переходе от схемы Post Mapping к Post Fitting, но сама функция остаётся неизменной.

Несоответствие кодировок (LOGIC_CELL_COMB) для ПЛИС Stratix IIGX с адаптивным логическим модулем ALM на 6 переменных (64 бита – 16 шестнадцатеричных цифр) и ПЛИС, имеющих LUT на 4 переменных (16 бит 4 шестнадцатеричных цифры) может быть объяснено использованием «обратной» кодировки. В этом случае

F	E	D	C	B	A	Код	f(abc)
a	b	~	~	c	~	0000	
1	1	0	0	0	0	0	1
1	1	0	0	0	1	0	1
1	1	0	0	1	0	0	1
1	1	0	0	1	1	0	1
1	1	0	1	0	0	0	1
1	1	0	1	0	1	0	1
1	1	0	1	1	0	0	1
1	1	0	1	1	1	0	1
1	1	1	0	0	0	0	1
1	1	1	0	0	1	0	1
1	1	1	0	1	0	0	1
1	1	1	0	1	1	0	1
1	1	1	1	0	0	0	1
1	1	1	1	0	1	0	1
1	1	1	1	1	0	0	1
1	1	1	1	1	1	0	1

Рис. 20. Расшифровка четвёртой части кода – 0000 ALUT с младших разрядов (Post Fitting)

LOGIC_CELL_COMB начинается не со старших разрядов таблицы истинности, а с младших.

СПИСОК ЛИТЕРАТУРЫ

1. Угрюмов Е. П. Цифровая схемотехника : учебное пособие / Е. П. Угрюмов. – СПб. : БХВ-Петербург, 2004. – 518 с.
2. Цыбин С. Программируемая коммутация ПЛИС: взгляд изнутри. –Режим доступа: http://www.kit-e.ru/articles/plis/2010_11_56.php (дата обращения 16.12.2014)
3. An Ultra-Low-Energy, Variation-Tolerant FPGA Architecture Using Component-Speci_c Mapping. – Режим доступа: <http://thesis.library.caltech.edu/7226/> (дата обращения 11.11.14 г.)
4. Золотуха Р., Комолов Д. Stratix III — новое семейство FPGA фирмы Altera. – Режим доступа: http://kit-e.ru/assets/files/pdf/2006_12_30.pdf (дата обращения 28.11.2015)
5. Использование ресурсов ПЛИС Stratix III фирмы Altera при проектировании микропроцессорных ядер. – Режим доступа: http://www.kit-e.ru/articles/plis/2010_2_39.php (дата обращения: 27.11.2015).
6. Presentation on ALTERA'S FPGA Technology. – Режим доступа: <http://www.authorstream.com/Presentation/hsrathore158-1410279-fpga/> (дата обращения: 29.11.2015).

7. Logic Array Blocks and Adaptive Logic Modules in Stratix III Devices. – Режим доступа: https://www.altera.com.cn/content/dam/altera-www/global/zh_CN/pdfs/literature/hb/stx3/stx3_siii51002.pdf (дата обращения: 29.11.2015).

8. Тюрин С. Ф., Громов О. А., Греков А. В. Реализация цифровых автоматов в системе Quartus фирмы Altera : лабораторный практикум. – Пермь : Изд-во ПНИПУ, 2011. – 133 с.

9. QuartusIIHelpv11.1 >enum_encodingVH DLSynthesisAttribute.– Режим доступа: [http://](http://quartushelp.altera.com/11.1/mergedProjects/hdl/vhdl/vhdl_file_dir_enum_encoding.htm)

quartushelp.altera.com/11.1/mergedProjects/hdl/vhdl/vhdl_file_dir_enum_encoding.htm (дата обращения 12.01.15 г.)

10. Naumov S. Lecture #10QuartusII Design Flow & Design Optimization ECE 37100 Lab, March 26, 2013. – Режим доступа: https://www.linkedin.com/company/purdue-university-calumet?trk=ppro_cprof (дата обращения 12.01.15 г.)

Тюрин Сергей Феофентович – заслуженный изобретатель Российской Федерации, доктор технических наук, профессор кафедры автоматизации и телемеханики, электротехнический факультет, Пермский национальный исследовательский политехнический университет.
E-mail: tyurinsergfeo@yandex.ru

Tyurin Sergey Feofentovich – Honored Inventor of the Russian Federation, Doctor of Technical Sciences, Professor at the Department of Automation and Telemechanics, Electrical Engineering Faculty, Perm National Research Polytechnic University.
E-mail: tyurinsergfeo@yandex.ru

Прохоров Андрей Сергеевич – аспирант кафедры автоматизации и телемеханики, электротехнический факультет, Пермский национальный исследовательский политехнический университет.
E-mail: npoxop007@yandex.ru

Prokhorov Andrey Sergeevich – postgraduate student at the Department of Automation and Telemechanics, Electrical Engineering Faculty, Perm National Research Polytechnic University.
E-mail: npoxop007@yandex.ru